

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-082743

(43)Date of publication of application : 21.03.2000

(51)Int.Cl.

H01L 21/82

(21)Application number : 11-175930

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 22.06.1999

(72)Inventor : IGARASHI MUTSUNORI
MIHASHI TAKASHI
MURAKATA MASAMI
YAMADA MASAOKI
MINAMI FUMIHIRO
AKIYAMA TOSHIHIRO
AOKI TAKAOKI

(30)Priority

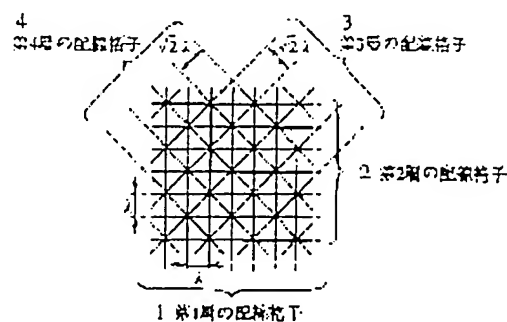
Priority number : 10176285 Priority date : 23.06.1998 Priority country : JP

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, WIRING METHOD THEREOF AND CELL ARRANGEMENT METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce delay in a circuit and realize improvement of noise resistance in a semiconductor integrated circuit of a multilayer wiring structure with a wiring layer of an oblique wiring lattice.

SOLUTION: An n-th (n ≥ 2) layer wiring is provided with reference wiring layers 1, 2 forming an X-Y direction reference wiring lattice by a wiring of an m-th (m ≥ 2) layer at right angles to an (n-1)-th layer wiring and oblique wiring layers 3, 4 which intersect at 45° or 135° to a reference wiring lattice by an (m+1)-th layer wiring and an (m+2)-th layer wiring which intersect at right angles mutually and whose wiring pitch between the (m+1)-th layer wiring and the (m+2)-th layer wiring is set 2 times to a wiring pitch between wiring of each reference wiring layer and whose wiring width is set to 2 times the wiring width of each reference wiring layer.



LEGAL STATUS

[Date of request for examination]

27.01.2003

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application
converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-82743

(P2000-82743A)

(43) 公開日 平成12年3月21日 (2000.3.21)

(51) Int.Cl.⁷

H 0 1 L 21/82

識別記号

F I

H 0 1 L 21/82

マークシート (参考)

W

審査請求 未請求 請求項の数25 O L (全 21 頁)

(21) 出願番号 特願平11-175930

(22) 出願日 平成11年6月22日 (1999.6.22)

(31) 優先権主張番号 特願平10-176285

(32) 優先日 平成10年6月23日 (1998.6.23)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 五十嵐 陸典

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン
ター内

(72) 発明者 三橋 陸

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝マイクロエレクトロニクスセン
ター内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

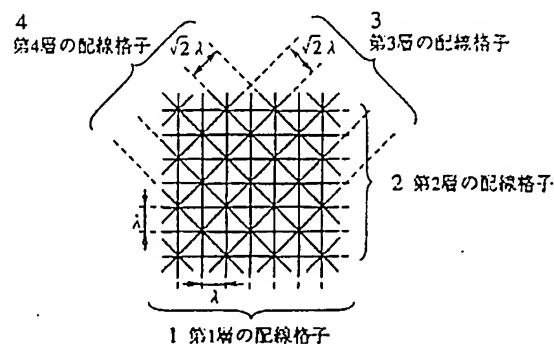
最終頁に続く

(54) 【発明の名称】 半導体集積回路装置、半導体集積回路配線方法およびセル配置方法

(57) 【要約】

【課題】 斜め方向の配線格子の配線層を具備する多層配線構造の半導体集積回路において、回路の遅延の低減およびノイズ耐性の向上を実現する。

【解決手段】 第 n ($n \geq 2$) 層配線が、第 $n-1$ 層配線と互いに直交する m ($m \geq 2$) 層の配線により、 $X-Y$ 方向の基準配線格子を形成する基準配線層 (1、2) と、互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、基準配線格子に対して45度または135度の角度で交差し、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるとともに、その配線幅が、基準配線層のそれぞれの層の配線幅に対して $\sqrt{2}$ 倍に設定される斜め配線格子を形成する斜め配線層 (3、4) とを具備する。



【特許請求の範囲】

【請求項1】 複数の単位素子が形成された半導体領域と、
前記半導体領域の上層に形成され、第 n ($n \geq 2$) 層配線が、第 $n-1$ 層配線と互いに直交する m ($m \geq 2$) 層の配線により、 $X-Y$ 方向の基準配線格子を形成する基準配線層と、

前記基準配線層の上層に位置し、互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、前記基準配線格子に対して 45 度または 135 度の角度で交差する斜め配線格子を形成する斜め配線層とを具備し、

前記斜め配線層は、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、前記基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるときともに、その第 $m+1$ 層配線及び前記第 $m+2$ 層配線の配線幅が、前記基準配線層のそれぞれの層の配線幅に対して $\sqrt{2}$ 倍に設定されることを特徴とする半導体集積回路装置。

【請求項2】 前記斜め配線層は、その配線膜厚が、前記基準配線格子の配線膜厚の $\sqrt{2}$ 倍に設定されることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 前記基準配線層と前記斜め配線層は、配線チャネル領域を構成し、

前記配線チャネル領域は、前記単位素子からなる論理セルを列状に配置したセルロウと平行な方向に設けられることを特徴とする請求項1または2に記載の半導体集積回路装置。

【請求項4】 前記基準配線層の配線と前記斜め配線層の配線は、これらの交差箇所に配線接続用のビアホールを設け、
前記ビアホールは、その横断面が六角形、八角形および平行四辺形のいずれかの形状であることを特徴とする請求項1乃至3のいずれか記載の半導体集積回路装置。

【請求項5】 前記複数の単位素子はセルを構成し、
前記セルは、前記斜め配線格子の配線方向に沿った形状で定義される、配線が行われない障害物領域を有することを特徴とする請求項1乃至4のいずれか記載の半導体集積回路装置。

【請求項6】 前記斜め配線層の配線は、その一部が電源供給用の電源配線として構成されることを特徴とする請求項1乃至5のいずれか記載の半導体集積回路装置。

【請求項7】 前記複数の単位素子は、前記複数の単位素子からなるセルを構成し、
前記セルは、ツリー型の配線経路によりクロック信号を供給され、

前記ツリー型の配線経路は、第1および第2の地点から前記斜め配線層の配線上を互いに近づき合うように形成された経路による第1の結線と、第3および第4の地点から前記斜め配線層の配線上を互いに近づき合うように形成された経路による第2の結線とを、前記基準配線層

の配線によって結線して構成される単位配線形状を組み合わせて構成されることを特徴とする請求項1乃至6のいずれか記載の半導体集積回路装置。

【請求項8】 上記半導体集積回路装置は、さらに、前記斜め配線層の上層に位置し、互いに直交する第 $p-1$ ($p \geq 2$) 層配線と第 p 層配線により、前記斜め配線格子あるいは第 $p-2$ 層配線に対して 45 度または 135 度の角度で交差する上部配線格子を形成する上部配線層を具備し、

10 前記上部配線層は、その各層の配線間の配線ピッチが、前記斜め配線層のそれぞれの層の配線間または前記第 $p-2$ 層配線の配線ピッチに対して $\sqrt{2}$ 倍に設定されるときともに、その各層の配線の配線幅が、前記斜め配線層のそれぞれの層の配線または前記第 $p-2$ 層配線の配線幅に対して $\sqrt{2}$ 倍に設定されることを特徴とする請求項1乃至7のいずれか記載の半導体集積回路装置。

【請求項9】 前記斜め配線層は、概ねチップ全体にわたるグローバル配線が配線されることを特徴とする請求項1乃至8のいずれか記載の半導体集積回路装置。

【請求項10】 前記基準配線層は、前記グローバル配線以外のローカルな配線が配線されることを特徴とする請求項9に記載の半導体集積回路装置。

【請求項11】 前記複数の単位素子はセルを構成し、
前記セルは、前記グローバル配線と直接接続すべき場合、前記斜め配線層の配線と直接接続可能な出力端子形状を有することを特徴とする請求項9または10に記載の半導体集積回路装置。

【請求項12】 上記半導体集積回路装置は、さらに、フリップフロップ回路と、

30 チップのコーナーに配置されるPLL (Phase Locked Loop) とを具備し、前記フリップフロップ回路は、ツリー型の配線経路によりクロック信号を供給され、

前記ツリー型の配線経路は、前記PLLからチップ中央近傍へ、前記斜め配線層の配線を用いて結線され、前記チップ中央近傍から前記フリップフロップ回路に対してバッファセルを介してRC積をバランスさせるように階層的に結線されることを特徴とする請求項1乃至11のいずれか記載の半導体集積回路装置。

【請求項13】 上記半導体集積回路装置は、さらに、その内部の配線に前記基準配線層の配線を用いるSRAM回路を具備し、

前記斜め配線層は、前記SRAM回路上を通過する配線が配線されることを特徴とする請求項1乃至12のいずれか記載の半導体集積回路装置。

【請求項14】 前記基準配線層は3層により構成され、

前記基準配線層の第1層配線および第3層配線は、前記単位素子からなる論理セルを列状に配置したセルロウと平行な方向に配線されることを特徴とする請求項1乃至13のいずれか記載の半導体集積回路装置。

【請求項15】 前記基準配線層は2層により構成されることを特徴とする請求項1乃至13のいずれか記載の半導体集積回路。

【請求項16】 半導体集積回路の素子を配線する半導体集積回路配線方法であって、

第 n ($n \geq 2$) 層配線が、第 $n-1$ 層配線と互いに直交する m ($m \geq 2$) 層の配線により、 $X-Y$ 方向の基準配線層を形成するステップと、

互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、前記基準配線層に対して45度または135度の角度で交差する斜め配線層を、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、前記基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるとき、その第 $m+1$ 層配線及び前記第 $m+2$ 層配線の配線幅が、前記基準配線層のそれぞれの層の配線幅に対して $\sqrt{2}$ 倍に設定されるべく形成するステップとを含むことを特徴とする半導体集積回路配線方法。

【請求項17】 上記半導体集積回路配線方法は、さらに、

前記基準配線層が構成する配線ネット中から所定の遅延時間を越える遅延を生ずる配線ネットを抽出するステップと、

前記抽出された配線ネット上の、前記斜め配線層の配線と接続できる位置に信号増幅用のバッファセルを挿入するステップとを含むことを特徴とする請求項16に記載の半導体集積回路配線方法。

【請求項18】 上記半導体集積回路配線方法は、さらに、

前記複数の単位素子からなるセルを定義するステップと、

前記セル中に、配線が行われない障害物領域を、前記斜め配線層の配線方向に沿った形状で定義するステップとを含むことを特徴とする請求項16または17に記載の半導体集積回路配線方法。

【請求項19】 前記障害物領域定義ステップは、その角部近傍に、前記第 $m+1$ 層配線または前記第 $m+2$ 層配線を配置することを特徴とする請求項18に記載の半導体集積回路配線方法。

【請求項20】 上記半導体集積回路配線方法は、さらに、

前記基準配線層の前記 m 層のいずれかの配線であって、同一の層に属する平行する2本の配線のうち、一方の配線が他方の配線にノイズを及ぼす場合に、前記2本の配線のいずれか一方の配線の途中の所定の部分を、前記斜め配線層の配線で置き換えるステップを含むことを特徴とする請求項16乃至19のいずれか記載の半導体集積回路配線方法。

【請求項21】 上記半導体集積回路配線方法は、さらに、

前記置き換えに用いられた前記斜め配線層の配線の経路

中に、バッファセルを挿入するステップを含むことを特徴とする請求項20に記載の半導体集積回路配線方法。

【請求項22】 半導体集積回路上にセルを配置するセル配置方法であって、

第 n ($n \geq 2$) 層配線が、第 $n-1$ 層配線と互いに直交する m ($m \geq 2$) 層の配線により、 $X-Y$ 方向の基準配線層を形成するステップと、

互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、前記基準配線層に対して45度または135度の角度で交差する斜め配線層を、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、前記基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるべく形成するステップと、

複数の単位素子からなるセルを、前記基準配線層の配線方向に対応する $X-Y$ 方向のカットラインと前記斜め配線層の配線方向に対応する斜め方向のカットラインとを用いた所定のカット法に基づき配置するステップとを含むことを特徴とするセル配置方法。

【請求項23】 上記半導体集積回路配線方法は、さらに、

第1および第2の地点から前記斜め配線層の配線上を互いに近づき合うように形成された第1の経路を設定するステップと、

第3および第4の地点から前記斜め配線層の配線上を互いに近づき合うように形成された第2の経路を設定するステップと、

前記第1の経路と前記第2の経路とを、前記基準配線層の配線によって結線して構成される単位配線形状を形成するステップと、

前記単位配線形状を組み合わせて前記複数の単位素子からなるセルにクロック信号を供給するツリー型の配線経路を形成するステップとを含むことを特徴とする請求項16乃至22のいずれか記載の半導体集積回路配線方法。

【請求項24】 半導体集積回路の素子を配線する半導体集積回路配線方法であって、

第 n ($n \geq 2$) 層配線が、第 $n-1$ 層配線と互いに直交する m ($m \geq 2$) 層の配線により、 $X-Y$ 方向の基準配線層を形成するステップと、

互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、前記基準配線層に対して45度または135度の角度で交差する斜め配線層を、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、前記基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるべく形成するステップと、

チップのコーナーに配置されるPLL (Phase Locked Loop) からチップ中央近傍へ、前記斜め配線層の配線を用いて結線するステップと、

前記チップ中央近傍から前記チップ中の前記フリップフロップ回路に対してバッファセルを介してRC積をバラ

ンスさせるように階層的に結線するステップとを含むことを特徴とする半導体集積回路配線方法。

【請求項25】 半導体集積回路の素子を配線する半導体集積回路配線方法であって、

第 n ($n \geq 2$) 層配線が、第 $n-1$ 層配線と互いに直交する m ($m \geq 2$) 層の配線により、 $X-Y$ 方向の基準配線層を形成するステップと、

互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、前記基準配線層に対して 45 度または 135 度の角度で交差する斜め配線層を、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、前記基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるべく形成するステップと、

その内部の配線に前記基準配線層の配線を用いる、SRA回路を形成するステップと、

前記斜め配線層上に前記SRA回路を通過する配線を形成するステップとを含むことを特徴とする半導体集積回路配線方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、多層配線構造を有する半導体集積回路装置、半導体集積回路配線方法およびセル配置方法に関する。特に、 $X-Y$ 方向の配線格子の配線層の上層に斜め方向の配線格子の配線層が形成された半導体集積回路において、回路の遅延の低減およびノイズ耐性の向上を実現する半導体集積回路および半導体集積回路配線技術に関する。

【0002】

【従来の技術】従来のスタンダードセル方式またはゲートアレイ方式によるLSIの多層配線構造には、直交する配線層を上層に積み重ねていく方式が採られてきた。すなわち、第1層と第2層が直交し、第2層と第3層が直交する、というように、第 $n-1$ 層と第 n 層とが直交する構成である。このような各層が直交する多層配線構造においては、対角方向の二点を接続する場合に、ユーグリッド距離分だけ離れた点を接続することになる。このため、直線距離の $\sqrt{2}$ 倍の距離以上の長さの配線が必要となる。したがって、直交型の多層配線構造は、集積度的にも、遅延特性的にもオーバーヘッドを生じていた。

【0003】しかしながら、コンピュータ上でLSI配線設計をする際には、直交座標系で配線する手法がアルゴリズム的に簡便である。このため、コンピュータ上では、上記オーバーヘッドを無視して配線設計が行われていた。

【0004】ところが、回路構造の微細化が進展するにつれて、配線構造に起因する遅延成分が回路全体のパフォーマンスを左右するようになってきた。このため、上記の配線長が長くなることによるオーバーヘッドを無視することができなくなってきた。

【0005】具体的には、第1に、配線抵抗に起因する遅延成分がクリティカルパスディレイの大半を占める。このように、配線長が回路パフォーマンスに与える影響は増している。

【0006】また、第2に、配線に起因する負荷容量の内訳は、対基板の容量よりも隣接する配線間のカップリング容量の方が支配的となっている。このため、隣接する配線間の容量を如何に軽減するかが回路パフォーマンスを向上させるための重要な要素となってきた。

【0007】さらに、第3に、この配線間のカップリング容量に起因するカップリングノイズによる誤動作も深刻化している。特に従来の、すべての配線が直交する配線構造においては、同一の層内で隣接して平行に走る配線間で相互に影響を及ぼし合う場合、他の配線層に配線を代えてもやはり上下で平行に走ることになる。このため、同層内で平行に走る配線間のカップリング容量を軽減することは困難である。

【0008】直交型多層配線構造に関連して、直交する配線構造に加え、斜め方向(45° または 135°)の配線を利用して配線長を短縮する配線技術が提案されている。例えば、特開平5-102305号「半導体集積回路の自動レイアウト方法」にこの斜め方向の配線技術が開示されている。この従来技術を説明する。

【0009】図28は、この斜め方向の配線を利用した従来技術の半導体集積回路装置の配線格子構造を示すレイアウト図である。

【0010】この配線構造は、直交座標を構成するレイヤの上に別のレイヤとして斜め方向の配線格子を形成したものである。図28中の401は、第1層の配線格子(グリッド)であり、その上層に直交して第2層の配線格子402が形成されている。さらにこれら上層には、第1層401に対して 45° 斜め方向の第3層配線グリッド403と、第1層401に対して 135° 斜め方向の第4層配線グリッド404とが形成されている。

【0011】しかしながら、斜め方向の配線を利用したこの従来技術の多層配線技術は、以下の問題点があった。

【0012】(1)従来の多層配線構造では、単純に斜め方向の配線格子を設けているので、その格子点がずれるという問題があった。すなわち、図29に示すように、第1層401と第2層402の格子点は501になる。一方、第3層403と第4層404の格子点は502になる。ここで、第4層404から第3層403に接続孔(ビアホール)を置く場合には格子点502に置くことになる。一方、第3層403から第2層402にビアホールを置く場合は、格子点501に置くことになる。ところが、これら格子点502と501とが接近していると、ビアホールを置くことができない。このため、別の位置にビアホールを設ける必要が生じる。このように、上層の斜め配線格子(第3層403と第4層4

04)と下層のX-Y配線格子(第1層401と第2層402)との階層間において格子点がずれることによって、配線設計が複雑化していた。

【0013】(2)上層の斜め配線層の抵抗は、下層の配線層と同様となる。このため、上層に斜め配線層を用いても配線に起因するRC遅延は低減されない。ここで、RC遅延とは、抵抗成分Rと容量成分Cによる遅延である。このため、上層の斜め配線格子を使っても、長い距離を結線するためのグローバルな配線に適した配線構造を構築することはできない。

【0014】(3)上層の斜め配線層の配線ピッチに関しては、一般的に最小デザインルールよりも広いピッチとなっていない。このため、上層に斜め配線層を配置しても隣接する配線容量を軽減する構成にはなっていない。この点に関して、CAD上の配線グリッドに対してデザインルールによる配置配線間隔の制限が最も厳しい層の配線を斜めに配置する第2の技術が、特開平7-86414号“半導体装置”に開示されている。しかし、この従来技術は、配線幅を同時に広くとる構成でないため、上記の配線抵抗を軽減できない。また、隣接配線とのカップリング容量が軽減されないため、配線のRC遅延を軽減することはできない。

【0015】(4)ビアホール形状は、従来技術では、矩形形状に定義されていた。しかし、直交する配線同士以外の配線同士の接続を行う場合、つまり斜めに交差する配線を接続する場合には、矩形のビアホール形状では必要十分なカット面積を確保することができない。従って配線の断線不良を引き起こすエレクトロマイグレーション現象に対する耐性が不十分であった。

【0016】(5)論理セルを列状に配置して形成されるセルロウの定義と斜め配線格子の定義との関係が明確でなかった。このため、例えば、直交する二つの配線層と二つの斜め配線層との計四つの配線層が定義されている場合に、セルロウと平行に位置する配線リソースが不足することは明らかであった。この点に関して、直交する三つの配線層の上に斜め方向の二つの配線層を定義して、上記の配線リソース不足の問題を解決する技術が、特開平5-243379号“半導体集積回路装置”に開示されている。しかしこの技術では、5層の配線層が必要となり、コストの上昇を招くという問題がある。

【0017】(6)回路の誤動作を引き起こすクロストークノイズを同一配線層内で低減することができなかった。従来技術の斜め配線格子を備えた配線構造においては、同一配線方向に上下の配線層が重なることがない。このため、上下の配線層の配線間のカップリング容量は小さくなるため、上下配線間のクロストークノイズの問題は解決される。しかし、同一配線層内では、異なる配線が平行に配されているので、隣接配線間のカップリング容量を軽減できない。つまり、従来の斜め配線格子技術では、同一配線層内で平行する二つの配線間で生ずる

クロストークノイズを除去することができなかった。

【0018】(7)電源供給用の配線とするには従来の斜め配線格子は不十分であった。例えば、組み合わせ回路を構成するチップのコア領域にパッドを構成するような場合には、このパッドの一部を電源供給用に用いることは可能である。(尚、このコア領域に対して、チップのI/Oを配置する周辺領域をI/O領域と呼ぶ。)この場合、上層の斜め配線格子層を電源供給用の補助的な配線として用いることができる。このような構成の場合において、従来の斜め配線格子構造は、幅広の配線を構成することに不向きな配線ピッチまたは配線幅を持った構造となっている。このため、上層の斜め配線格子層を電源供給用として有効利用するには適さない構造であった。

【0019】(8)PLL(Phase Locked Loop)からチップ内のフリップフロップにクロックを供給する配線の配線長が長い場合、遅延が増大していた。

【0020】PLLは、チップ内に内蔵されるアナログ回路の特性を悪化させないために、通常チップのコーナーに配置され、このコーナーから各フリップフロップに対して配線される。このため、最短でもチップの半周円長に近い長さの配線を引く必要があった。従って、遅延が増大するとともに、バッファの段数が増えることによってクロックのデューティ比に悪影響があった。

【0021】(9)SRAMなどのメモリ回路の場合、これらメモリ回路上を通過する配線は、メモリ内の配線と通過配線との間のカップリングノイズを起こして性能を悪化させる。このため、このメモリ回路上の通過配線は、従来さけられて配線設計がなされていた。このメモリ回路上の通過配線をシールドする1つの従来技術がある。しかし、この技術では配線をシールドするためにさらにもう1層を必要とする。従って、回路の構成が複雑化していた。またメモリ回路上の通過配線を小振幅信号用に使用する他の従来技術がある。しかし、この技術では適用対象となる集積回路が限定されていた。

【0022】

【発明が解決しようとする課題】本発明は、従来技術の上記の問題点を解決するためになされたものである。

【0023】そして、その目的は、X-Y方向に直交する配線格子に加えて、斜め方向に直交する配線格子を設けた多層配線構造を用いる半導体集積回路において、斜め配線層を活用することによって、回路の遅延特性とノイズ耐性を向上させると共に配線設計の容易化および製造コストの低減化を可能にした半導体集積回路および半導体集積回路配線方法を提供することにある。

【0024】

【課題を解決するための手段】本発明の特徴は、複数の単位素子が形成された半導体領域と、前記半導体領域の上層に形成され、第n(n≧2)層配線が、第n-1層配線と互いに直交するm(m≧2)層の配線により、X

X-Y方向の基準配線格子を形成する基準配線層と、前記基準配線層の上層に位置し、互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、前記基準配線格子に対して45度または135度の角度で交差する斜め配線格子を形成する斜め配線層とを具備し、前記斜め配線層は、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、前記基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるとともに、その第 $m+1$ 層配線及び前記第 $m+2$ 層配線の配線幅が、前記基準配線層のそれぞれの層の配線幅に対して $\sqrt{2}$ 倍に設定されることを特徴とする半導体集積回路装置を提供する点にある。

【0025】また、本発明の他の特徴は、前記斜め配線層は、その配線膜厚が、前記基準配線層の配線膜厚の $\sqrt{2}$ 倍に設定される点にある。

【0026】また、本発明の他の特徴は、前記基準配線層と前記斜め配線層は、配線チャネル領域を構成し、前記配線チャネル領域は、前記単位素子からなる論理セルを列状に配置したセルロウと平行な方向に設けられる点にある。

【0027】また、本発明の他の特徴は、前記基準配線層の配線と前記斜め配線層の配線は、これらの交差箇所に配線接続用のビアホールを設け、前記ビアホールは、その横断面が六角形、八角形および平行四辺形のいずれかの形状である点にある。

【0028】また、本発明の他の特徴は、前記複数の単位素子はセルを構成し、前記セルは、前記斜め配線格子の配線方向に沿った形状で定義される、配線が行われな

い障害物領域を有する点にある。

【0029】また、本発明の他の特徴は、前記斜め配線層の配線は、その一部が電源供給用の電源配線として構成される点にある。

【0030】また、本発明の他の特徴は、前記複数の単位素子は、前記複数の単位素子からなるセルを構成し、前記セルは、ツリー型の配線経路によりクロック信号を供給され、前記ツリー型の配線経路は、第1および第2の地点から前記斜め配線層の配線上を互いに近づき合うように形成された経路による第1の結線と、第3および第4の地点から前記斜め配線層の配線上を互いに近づき合うように形成された経路による第2の結線とを、前記基準配線層の配線によって結線して構成される単位配線形状を組み合わせて構成される点にある。

【0031】また、本発明の他の特徴は、上記半導体集積回路装置は、さらに、前記斜め配線層の上層に位置し、互いに直交する第 $p-1$ ($p \geq 2$) 層配線と第 p 層配線により、前記斜め配線格子あるいは第 $p-2$ 層配線に対して45度または135度の角度で交差する上部配線格子を形成する上部配線層を具備し、前記上部配線層は、その各層の配線間の配線ピッチが、前記斜め配線層のそれぞれの層の配線間または前記第 $p-2$ 層配線の配

線ピッチに対して $\sqrt{2}$ 倍に設定されるとともに、その各層の配線の配線幅が、前記斜め配線層のそれぞれの層の配線または前記第 $p-2$ 層配線の配線幅に対して $\sqrt{2}$ 倍に設定される点にある。

【0032】また、本発明の他の特徴は、前記斜め配線層は、概ねチップ全体にわたるグローバル配線が配線される点にある。

【0033】また、本発明の他の特徴は、前記基準配線層は、前記グローバル配線以外のローカルな配線が配線される点にある。

【0034】また、本発明の他の特徴は、前記複数の単位素子はセルを構成し、前記セルは、前記グローバル配線と直接接続すべき場合、前記斜め配線層の配線と直接接続可能な出力端子形状を有する点にある。

【0035】また、本発明の他の特徴は、上記半導体集積回路装置は、さらに、フリップフロップ回路と、チップのコーナーに配置されるPLL (Phase Locked Loop) とを具備し、前記フリップフロップ回路は、ツリー型の配線経路によりクロック信号を供給され、前記ツリー型の配線経路は、前記PLLからチップ中央近傍へ、前記斜め配線層の配線を用いて結線され、前記チップ中央近傍から前記フリップフロップ回路に対してバッファセルを介してRC積をバランスさせるように階層的に結線される点にある。

【0036】また、本発明の他の特徴は、上記半導体集積回路装置は、さらに、その内部の配線に前記基準配線層の配線を用いるSRAM回路を具備し、前記斜め配線層は、前記SRAM回路上を通過する配線が配線される点にある。

【0037】また、本発明の他の特徴は、前記基準配線層は3層により構成され、前記基準配線層の第1層配線および第3層配線は、前記単位素子からなる論理セルを列状に配置したセルロウと平行な方向に配線される点にある。

【0038】また、本発明の他の特徴は、前記基準配線層は2層により構成される点にある。

【0039】また、本発明の他の特徴は、半導体集積回路の素子を配線する半導体集積回路配線方法であって、第 n ($n \geq 2$) 層配線が、第 $n-1$ 層配線と互いに直交する m ($m \geq 2$) 層の配線により、X-Y方向の基準配線層を形成するステップと、互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、前記基準配線格子に対して45度または135度の角度で交差する斜め配線層を、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、前記基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるとともに、その第 $m+1$ 層配線及び前記第 $m+2$ 層配線の配線幅が、前記基準配線層のそれぞれの層の配線幅に対して $\sqrt{2}$ 倍に設定されるべく形成するステップとを含むことを特徴とする半導体集積回路配線方法を提供する点にある。

11

【0040】また、本発明の他の特徴は、上記半導体集積回路配線方法は、さらに、前記基準配線層が構成する配線ネット中から所定の遅延時間を超える遅延を生ずる配線ネットを抽出するステップと、前記抽出された配線ネット上の、前記斜め配線層の配線と接続できる位置に信号増幅用のバッファセルを挿入するステップとを含む点にある。

【0041】また、本発明の他の特徴は、上記半導体集積回路配線方法は、さらに、前記複数の単位素子からなるセルを定義するステップと、前記セル中に、配線が行われ

ない障害物領域を、前記斜め配線層の配線方向に沿った形状で定義するステップとを含む点にある。

【0042】また、本発明の他の特徴は、前記障害物領域定義ステップは、その角部近傍に、前記第 $m+1$ 層配線または前記第 $m-2$ 層配線を配置する点にある。

【0043】また、本発明の他の特徴は、上記半導体集積回路配線方法は、さらに、前記基準配線層の前記 m 層のいずれかの配線であって、同一の層に属する平行する2本の配線のうち、一方の配線が他方の配線にノイズを及ぼす場合に、前記2本の配線のいずれか一方の配線の途中の所定の部分を、前記斜め配線層の配線で置き換えるステップを含む点にある。

【0044】また、本発明の他の特徴は、上記半導体集積回路配線方法は、さらに、前記置き換えに用いられた前記斜め配線層の配線の経路中に、バッファセルを挿入するステップを含む点にある。

【0045】また、本発明の他の特徴は、半導体集積回路にセルを配置するセル配置方法であって、第 n ($n \geq 2$) 層配線が、第 $n-1$ 層配線と互いに直交する m ($m \geq 2$) 層の配線により、 $X-Y$ 方向の基準配線層を形成するステップと、互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、前記基準配線層に対して45度または135度の角度で交差する斜め配線層を、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、前記基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるべく形成するステップと、複数の単位素子からなるセルを、前記基準配線層の配線方向に対応する $X-Y$ 方向のカットラインと前記斜め配線層の配線方向に対応する斜め方向のカットラインとを用いた所定のカット法に基づき配置するステップとを含むことを特徴とするセル配置方法を提供する点にある。

【0046】また、本発明の他の特徴は、上記半導体集積回路配線方法は、さらに、第1および第2の地点から前記斜め配線層の配線上を互いに近づき合うように形成された第1の経路を設定するステップと、第3および第4の地点から前記斜め配線層の配線上を互いに近づき合うように形成された第2の経路を設定するステップと、前記第1の経路と前記第2の経路とを、前記基準配線層の配線によって結線して構成される単位配線形状を形成するステップと、前記単位配線形状を組み合わせて

12

前記複数の単位素子からなるセルにクロック信号を供給するツリー型の配線経路を形成するステップとを含む点にある。

【0047】また、本発明の他の特徴は、半導体集積回路の素子を配線する半導体集積回路配線方法であって、第 n ($n \geq 2$) 層配線が、第 $n-1$ 層配線と互いに直交する m ($m \geq 2$) 層の配線により、 $X-Y$ 方向の基準配線層を形成するステップと、互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、前記基準配線層に対して45度または135度の角度で交差する斜め配線層を、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、前記基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるべく形成するステップと、チップのコーナーに配置されるPLL (Phase Locked Loop) からチップ中央近傍へ、前記斜め配線層の配線を用いて結線するステップと、前記チップ中央近傍から前記チップ中の前記フリップフロップ回路に対してバッファセルを介してRC積をバランスさせるように階層的に結線するステップとを含むことを特徴とする半導体集積回路配線方法を提供する点にある。

【0048】また、本発明の他の特徴は、半導体集積回路の素子を配線する半導体集積回路配線方法であって、第 n ($n \geq 2$) 層配線が、第 $n-1$ 層配線と互いに直交する m ($m \geq 2$) 層の配線により、 $X-Y$ 方向の基準配線層を形成するステップと、互いに直交する第 $m+1$ 層配線と第 $m+2$ 層配線により、前記基準配線層に対して45度または135度の角度で交差する斜め配線層を、その第 $m+1$ 層配線間及び第 $m+2$ 層配線間の配線ピッチが、前記基準配線層のそれぞれの層の配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定されるべく形成するステップと、その内部の配線に前記基準配線層の配線を用いる、SRAM回路を形成するステップと、前記斜め配線層上に前記SRAM回路を通過する配線を形成するステップとを含むことを特徴とする半導体集積回路配線方法を提供する点にある。

【0049】

【発明の実施の形態】以下、図面を参照して、本発明に係る半導体集積回路および半導体集積回路配線方法の実施形態が詳細に説明される。

【0050】第1の実施形態

第1の実施形態は、互いに直交する第1層および第2層の基準配線格子の上層に、この基準配線格子に対して45度または135度の角度で交差し、互いに直交する第3層配線と第4層配線とにより形成された斜め配線格子を設け、この斜め配線格子の第3層配線間及び第4層配線間の配線ピッチおよび配線幅を、基準配線格子の配線ピッチに対して $\sqrt{2}$ 倍に設定したことにより、配線長を短縮するとともに、RC遅延を低減し、ノイズ耐性を向上させた実施形態である。

【0051】図1は、本発明の第1実施形態に係る半導

体集積回路装置の配線格子構造を示すレイアウト図である。図2は、図1に示すような配線格子構造に基づいて配線を実施した場合の配線構造の一例を示す平面図である。また、図3は、図4のA-A断面図である。

【0052】図1に示すように、第1の実施形態の配線構造は、図28の従来技術と同様に、第1層と第2層の配線並びに第3層と第4層の配線は互いに直交する配線グリッドを備えている。すなわち、第1層に対して、第3層と第4層はそれぞれ45°、135°で交差するようにグリッドが配置されている。

【0053】図1中の1は、第1層の配線グリッドであり、その上層に直交して第2層の配線グリッド2が形成されている。さらに、第1層配線グリッド1に対して45°斜め方向の第3層配線グリッド3と、第1層配線グリッド1に対して135°斜め方向の第4層配線グリッド4とが順次配置されている。

【0054】ここで、第1の実施形態は、斜め方向に配置された第3層配線3の間と第4層配線4の間の配線ピッチを、それぞれ第1層配線1の間及び第2層配線2の間よりも広く設定する。具体的には、第3層配線3の間及び第4層配線4の間の配線ピッチは、第1層配線1の間及び第2層配線2の間の配線ピッチ(λ)の $\sqrt{2}$ 倍($\sqrt{2} \cdot \lambda$)に設定されている。

【0055】これにより、上層のX-Y配線格子(第3層4と第4層4)と下層の斜め配線格子(第1層1と第2層2)との階層間において格子点がずれるのを回避することができる。このため、配線設計を容易化することが可能になる。つまり、第2層と第3層との間のビアホールを第1層と第2層のグリッドの交点に置くことができ、隣接する格子を第1層または第2層の配線に用いることができる。

【0056】さらに、第1の実施形態は、配線ピッチ($\sqrt{2} \cdot \lambda$)で斜め方向に配置された第3層配線3と第4層配線4の配線幅を、第1層配線1と第2層配線2よりも広く設定する。具体的には、図2に示すように、第3層配線3と第4層配線4の配線幅は、それぞれ第1層配線1と第2層配線2の配線幅(d)の $\sqrt{2}$ 倍($\sqrt{2} \cdot d$)に設定されている。上述のように、第3層と第4層の配線ピッチが $\sqrt{2}$ 倍になっているため、図2のpが示す配線間隔は、デザインルールに違反することない。このため、デザインルールに抵触することなく、配線幅を広げることができる。

【0057】図3に示す例においては、まず垂直方向に第1層配線1が配置され、それに直交する方向に第2層配線2が配置されている。これに対して、斜め方向に第3層配線3と第4層配線4が配置されている。図中12は第1層配線1と第2層配線2との間に置かれたビアホールであり、13は、第2層配線2と第3層配線3との間に置かれたビアホールであり、さらに14は第3層配線3と第4層配線4との間に置かれたビアホールであ

る。

【0058】第1の実施形態は、上記の配線ピッチおよび配線幅の特徴を前提として、斜め方向に配置された第3層配線3と第4層配線4の配線膜厚を、第1層配線1と第2層配線2よりも厚く設定している。具体的には、図3に示すように、第3層配線3と第4層配線4の配線膜厚は、それぞれ第1層配線1と第2層配線2の配線幅(t)の $\sqrt{2}$ 倍($\sqrt{2} \cdot t$)に設定されている。なお、図3中の10はトランジスタが形成される半導体基板であり、11は層間絶縁膜である。上記の第3層および第4層の配線幅および配線膜厚を第1層および第2層の $\sqrt{2}$ 倍とした構造を用いることにより、第3層配線と第4層配線の配線断面積は、以下の式が示すように、第1層配線と第2層配線の配線断面積の2倍となる

$$【0059】\sqrt{2} \cdot \sqrt{2} = 2$$

このため、単位長さ当たりの配線抵抗は第1層および第2層の配線の $1/2$ となる。一方、隣接配線との対向面積は、 $\sqrt{2}$ 倍となるが、隣接配線間隔も $\sqrt{2}$ 倍となるため、第3層配線及び第4層配線における隣接配線間容量は、第1層配線及び第2層配線における隣接配線間容量と同じである。配線抵抗が $1/2$ で隣接配線間容量は同じであるから、単位長さ当たりの配線RC遅延は、第1層および第2層の配線の $1/2$ となる。尚、配線RC遅延とは、配線の抵抗成分と容量成分による遅延をいう。

【0060】上記のように、第1の実施形態によれば、第3層配線間及び第4層配線間の配線ピッチを、第1層配線間及び第2層配線間の配線ピッチに対して $\sqrt{2}$ 倍に設定する。このため、上層の斜め配線格子と下層の基準配線格子との階層間において格子点がずれるのを回避することができ、配線設計を容易化することが可能になる。

【0061】また、配線幅も $\sqrt{2}$ 倍に設定したので、配線RC遅延を低減することができる。さらに、配線膜厚も $\sqrt{2}$ 倍に設定したので、配線RC遅延を一層低減することができ、比較的長い配線で回路の動作スピードを上げるという観点から大きな効果が得られる。

【0062】第2の実施形態

第2の実施形態は、第1の実施形態の斜め配線格子を利用した多層配線構造において、さらに、リピータセル(バッファセル)を配線に挿入して、配線遅延によるタイミングエラーの発生を防止する実施形態である。

【0063】図4(a)、(b)、(c)、(d)は、第2実施形態のリピータセルの挿入手順を示す図である。図5(a)、(b)は配線遅延を説明するための図である。図4および図5を参照して、第2の実施形態のリピータセルの挿入手順を具体的に説明する。

【0064】まず、第1層及び第2層だけを扱い、X-Y方向だけの配線で全てのネットを配線する。次に、シミュレータを用いて遅延解析を行い、タイミングエラーを起こしているネットを抽出する。この抽出されたネッ

トに対し、以下の処理を行う。

【0065】すなわち、タイミングエラーを起こしたネットに対し、リピータセルを挿入する。このリピータセルの挿入場所として、第3層と第4層を使用して、斜め方向の配線と接続できる位置にリピータセルを挿入する。第3層または第4層を用いることにより、配線長を短縮することができる。

【0066】例えば、図4(d)に示すようなネットでタイミングエラーが起きたものとする。このネットでは、セル21とセル22間におけるリピータセル20の挿入位置及び配線の方向として、図4(a)、(b)、(c)の三種類が考えられる。図4(a)の例では、まずX方向の配線23を使用し、次にリピータセル20を挿入した後、斜め配線25を使用している。図4(b)の例では、まずリピータセル20を挿入し、斜め方向の配線34を使用した後、X方向の配線35を使用している。図4(c)の例では、まずリピータセル20を挿入し、X方向の配線45を使用した後、斜め方向の配線46を使用している。

【0067】図4(a)、(b)、(c)のリピータセルの挿入位置の相違は、信号を出力するセル21とリピータセル20間と、リピータセル20と信号入力するセル22間との遅延の配分の相違を生ずる。図4(a)と図4(b)の例を比べると、セル21とリピータセル20間の遅延は、図4(b)の方が図4(a)の例よりも少ない。一方、リピータセル20とセル22間の遅延は、図4(a)の方が図4(b)の例よりも少ない。どちらの例が実際の遅延を小さくできるかは、セル21とリピータセル20のトランジスタサイズに依存する。したがって、一般的には、考え得るすべての組み合わせでの遅延を解析し、最終的なリピータセルの挿入位置及び配線方向の使用方法を決定する必要がある。但し、図4(c)の例では明らかに他の例と比べて遅延が大きくなる。

【0068】配線幅については、エルモアの配線遅延計算式に従うと、配線幅を信号出力するセルから徐々に細くした方が配線遅延は短くなる。すなわち、図5(a)に示すように、まず太い配線幅63を使用し続いて細い配線幅64を使用した方が、図5(b)に示すように、まず細い配線73を使用し続いて太い配線幅74を使用するよりも、配線遅延は短くなる。

【0069】斜め方向の配線は、X、Y軸に沿った配線よりも $\sqrt{2}$ 倍太くなっているため、まず斜め方向の配線を使用し、続いてXもしくはY方向の配線を使用した場合の方が、まずXもしくはY方向の配線を使用し続いて斜め方向の配線を使用する場合よりも配線遅延は短くなる。つまり、図4(c)の例より図4(b)の例の方が、配線遅延は短くなることが理解される。

【0070】従って、斜め配線を使用する場合で、リピータセルを挿入する際のルールは、次のように規定され

る。

【0071】(1)信号の出力端子に近い配線に斜め配線を接続する。

(2)信号の出力端子には斜め配線を接続する。

(3)リピータセルの信号出力端子に近い配線に斜め配線を多用する。

(4)リピータセルの信号出力端子に斜め方向の配線を接続する。

(5)信号出力端子に斜め配線が接続できる位置にリピータセルを配置する。

【0072】以上のルールに従うと、リピータセルの構造も次のように規定される。

【0073】(1)信号入力端子は、X-Y方向に沿った配線に接続することが容易になるように形成する。すなわち、1層目に信号入力端子を作る。

(2)さらに、信号出力端子は、斜め方向の配線に接続することが容易になる様に形成する。すなわち、3層目に信号出力端子を作る。

【0074】上記のように、第2の実施形態によれば、配線遅延によるタイミングエラーの発生を防ぐために、配線ネット上に信号を中継、増幅するリピータセルを挿入する際に、斜め配線格子を利用して、この斜め配線格子と接続できる位置にリピータセルを挿入する。このため、最適な条件でリピータセルを挿入して、配線長を短縮して配線遅延をさらに低減することができる。

【0075】第3の実施形態

第3の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、セルロウと平行な方向に配線チャネルを設けて、セルロウ方向の配線リソース不足を解消する実施形態である。

【0076】図6は、本発明の第3の実施形態に係る半導体集積回路の構成を示すレイアウト図である。

【0077】図6の半導体集積回路は、論理セルを列状に配列して形成した複数のセルロウSOを有する。この複数のセルロウSOの上部に、図1に示した斜め配線格子を有する多層配線が形成されている。

【0078】具体的には、図6中の1が第1層のメタル配線であり、2が第2層のメタル配線であり、3が第3層のメタル配線であり、そして4が第4層のメタル配線である。図6の構成において、各セルロウSOと平行な方向には、それぞれ各メタル配線1、2、3、4で構成される配線チャネル85が形成されている。すなわち、セルロウSOと平行な方向に配線チャネル85を設けられている。このため、少ない配線階層によって、より多くの配線リソースを要するセルロウ方向の配線リソースを確保することができる。

【0079】上記のように、第3の実施形態によれば、少ない配線階層によって、より多くの配線リソースを要するセルロウ方向の配線リソース不足を解消して配線リソースを確保することができる。

【0080】第4の実施形態

第4の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、斜めに交差する配線を接続するビアホールのカット面積が不十分にならないように、その形状を改良した実施形態である。

【0081】図7(a)、(b)、(c)、(d)はそれぞれ、第4の実施形態に係る半導体集積回路のビアホールの形状を示す部分平面図である。

【0082】第4の実施形態に係る半導体集積回路は、図1に示した斜め配線格子を有する多層配線構造において、X-Y方向配線(第1層または第2層)と、これに対して45°または135°の角度を成す斜め方向配線(第3層または第4層)とを接続する際に、図7(a)、(b)、(c)、(d)に示すように、縦断面が八角形、平行四辺形、または六角形のビアホールを用いる。これらの断面形状のビアホールを用いることによって、交差する配線層間に必要十分な断面面積のビアホールカットを作成することができる。

【0083】図7(a)の例では、X-Y方向配線91と斜め方向配線92との交差点には、八角形のビアホール90Aが形成されている。また、図7(b)の例では、X-Y方向配線91と斜め方向配線92との交差点には、平行四辺形のビアホール90Bが形成されている。

【0084】尚、図7(b)に示す例では、ビアホール同士が異常に接近することが考えられる。これを回避するために、図7(c)及び図7(d)に示す六角形の形状が提供されている。図7(c)の例では、X-Y方向配線91と斜め方向配線92との交差点には、六角形のビアホール90Cが形成されている。また、図7(d)の例では、X-Y方向配線91と斜め方向配線92との交差点には、六角形のビアホール90Dが形成されている。

【0085】上記のように、第4の実施形態によれば、斜めに交差する配線を接続するビアホールの断面形状を八角形、平行四辺形、または六角形とする。このため、斜めに交差する配線を接続するビアホールのカット面積が十分に確保される。第5の実施形態

第5の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、配線の障害物領域を最適に定義する実施形態である。

【0086】図8(a)、(b)は、本発明の第5実施形態に係る半導体集積回路におけるセルまたはメガセルを示す図である。

【0087】図8(a)に示す101は、複数の単位素子が形成されたセル、またはこれらセルを複数集合させたメガセルである。このセルまたはメガセル101は、その四隅の45°のライン101aを境にして、有効領域102とトランジスタ領域103とに分割されている。トランジスタ領域103には、トランジスタや下位

階層セル103aが配置される。一方、有効領域102には、例えばセルの四隅近辺に生ずる配線混雑を緩和するなどの目的で(後述する)、セルの四隅を有効利用するために設けられ、トランジスタや下位階層セルは配置されない。尚、以下において、セルは上記のメガセルを含むものとして説明する。

【0088】さらに、図8(b)に示すように、上記セル101のトランジスタ領域103に配置する配線は、特に四隅ライン101a近傍で上述した45°または135°の斜め配線113を使用するとよい。

【0089】このように、セルまたはメガセルを設計する際に、上記有効領域を設け、その四隅を使用しない構成にすることにより、配線の障害物を45°または135°の斜め配線に沿った形で定義することができる。次にこの点について説明する。

【0090】図9(a)、(b)は、第5の実施形態に係る配線の障害物の例を示す図である。図9(a)に示す例では、セル101内の障害物領域を小さい矩形122の集合により定義にしている。ここで、障害物領域とは、配線設計において、配線の障害物を定義するための領域である。

【0091】図9(b)に示す例では、セル101内の障害物領域をポリゴンまたはその集合で定義している。すなわち、図9(b)の例では、二つの障害物領域があった場合に、それらは台形132、133でそれぞれ定義されている。

【0092】図9(a)に示す例ではCAD設計におけるデータ量が多くなる難点があるが、これに対して図9(b)に示す例では少ないデータ量で障害物領域を定義することができる。

【0093】図10(a)、(b)は、第5の実施形態の効果を示す図である。

【0094】通常のX-Y配線格子モデルにおいては、図10(a)に示すように、セルまたはメガセル141内部の障害物領域142は直交矩形の集合として定義されている。これらのセルまたはメガセル141を用いて直交配線を行うと、その四隅近辺144での配線143の混雑度が増し、それが原因でチップの集積度が低下するという問題があった。

【0095】これに対して、上述した第5の実施形態の手法で作成したセル及びメガセル101を用いて配線を行えば、図10(b)に示すように、障害物領域152はセルまたはメガセルの四隅を使用しない構成で定義されている。この障害物領域152は、斜め配線に沿った形状で定義できる。このため、上記四隅近辺154での配線153の混雑度が緩和され、チップの集積度が向上する。

【0096】上記のように、第5の実施形態によれば、セルまたはメガセルの設計において、障害物領域がセルまたはメガセルの四隅を使用しない構成で、斜め配線に

沿った形状で定義される。このため、セルの四隅を有効利用することができる。また、上記四隅近辺での配線の混雑度が緩和され、チップの集積度が向上する。

【0097】第6の実施形態

第6の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、同層で平行に配置された配線があった場合に生ずるクロストークノイズを抑制する実施形態である。

【0098】図11(a)、(b)、(c)は、本発明の第6の実施形態に係る半導体集積回路の構成の要部を示す図である。尚、図6と共通の要素には同一の符号を付し、その説明を省略する。

【0099】図11(a)に示すように同層で平行して配置された配線161、162がある場合を考える。第6の実施形態は、そのいずれか一方の配線(例えば配線162)の途中部分を、図11(b)に示すように、該配線162と45°または135°の角度を成す斜め方向配線173、174で置き換えるように配線層の変更を行う。この配線の置き換えによって、同層の二つの配線が平行になる距離は短くなり、クロストークノイズの発生を抑制することができる。

【0100】また、平行配線161、162のうち、例えばノイズを発生する方を配線161で、ノイズを受ける方を配線162と仮定すると、上述した斜め方向配線173、174で配線162の変更を行う際に、その斜め方向配線173、174上に一つまたは複数のバッファセル183を挿入する。

【0101】このように、斜め方向配線の経路中にバッファセルを挿入することにより、ノイズの伝播を完全に防ぐことが可能である。例えば、同層で平行に配置された二つの配線間に生ずるクロストークノイズの電圧レベルが、ノイズキャンセル用として挿入した前記バッファセル183の論理閾値を超えないように平走距離を制限しておけば、ノイズを完全に抑制することが可能である。

【0102】上記のように、第6の実施形態によれば、同層で平行して配置された配線いずれか一方の配線の途中部分を、斜め方向配線で置き換えるように配線層の変更を行う。また、置き換えに用いる斜め方向配線の経路中にバッファセルを挿入する。このため、同一層内の二つの配線が平行になる距離が短くなり、配線間のクロストークノイズの発生が抑制される。

【0103】第7の実施形態

第7の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、斜め配線格子の配線リソースを電源供給用として用いる実施形態である。

【0104】図12は、本発明の第7の実施形態に係る半導体集積回路の要部構成を示す図である。図6と共通の要素には同一の符号を付し、その説明を省略する。

【0105】図12に示すように、第1層配線1及び第

2層配線2の上層に位置する、第3層配線3及び第4層配線4の一部を、電源供給用の電源供給用配線191に用いる。これにより、斜め方向の一般信号線の配線リソースの一部、電源供給用として用い、セルロウS0で不足する電源を補うことができる。

【0106】上記のように、第7の実施形態によれば、斜め方向の一般信号線の配線リソースの一部を電源供給用の配線として用いる。このため、セルロウで不足する電源を補うことができる。

【0107】第8の実施形態

第8の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、セルの配置を最適化する実施形態である。

【0108】図13(a)(b)は、本発明の第8の実施形態に係る半導体集積回路のセルの配置手法を示す図である。

【0109】通常、CADによるLSI設計において、セルの配置方法は、配線長が短くなるように、かつ配線の容易性を考慮して行われる。その際、どのセルはどこに配置するといった作業には、トップダウン手法を用いた以下の手法が用いられている。

【0110】この従来の手法では、図13(b)に示すように、まず、これから配置しようとするセルの集合を縦横のカットライン260によって二つに分ける。次に、このカットライン260を横切る配線数が少なくなるようにセル201、210を配置する。その後さらに同様にしてカットラインを使用して二分割を行い、すべての領域が最小の単位になるまで、この二分割を繰り返す。上記の従来の手法を、ミニカット法と称する。

【0111】ここで、従来のカットライン260は、図13(b)に示すように、X-Y方向の配線格子に対応して縦と横の直線になっている。しかし、上述した斜め方向配線が設けられると、第5の実施形態で説明したように例えば配線の障害物として45°の角度を持っているものが登場する。このため、縦と横のカットライン260だけでは最適なセルの位置が得られなくなる。

【0112】そこで、第8の実施形態は、図13(a)に示すように、従来の縦横に直交するカットラインに加えて、斜め方向のカットライン250を用いる。この斜め方向のカットライン250を横切る配線数が最小になる様にセル201、210を配置する。これにより、縦横及び斜め方向で最適な配線ができるようにセルの位置を決めることができ、LSIの集積度を上げることが可能になる。

【0113】上記のように、第8の実施形態によれば、LSI設計でのセルの配置を設計する際において、斜め方向のカットラインを用いるミニカット法でセル配置を行う。このため、斜め配線格子を用いる多層配線構造において最適な配線が行えるようにセルの位置を最適化することができる。従って、LSIの集積度を向上させる

ことができる。

【0114】第9の実施形態

第9の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、斜め方向配線を用いる場合のクロック供給用の配線設計でのクロックツリーの構成を最適化して、配線RC遅延のばらつきを低減する実施形態である。

【0115】図14(a)、(b)、(c)、(d)

は、本発明の第9実施形態に係る半導体集積回路装置のクロックツリーの基本構成を説明するための図である。

【0116】クロック信号のディレイを各経路パス毎に備えるために、一般的にツリー型の配線形状が用いられている。この場合、X-Y方向のみ配線格子の多層配線構造であれば、おおむね図14(d)に示すように、図14(b)に示すH型の配線形状の繰り返しとなる。

【0117】第9の実施形態は、こうしたツリー配線経路の構築において、図14(c)に示すように、図14(a)に示すような斜め方向配線を活用した形状の繰り返し

$$D_H = r l (2 c l) + 1 / 2 r l \cdot c l = 2.5 r c l^2$$

(1)

(但し、lを図14中の配線の長さとする)

※配線遅延 D_H は、以下の式で得られる。

一方、図14(a)に示す第9の実施形態の配線形状の※

$$D_A = 1 / 2 r (\sqrt{2} l) \cdot c (\sqrt{2} l) = r c l^2$$

(2)

尚、図14(a)のP5とP6との間の距離は微小であるため、(2)の計算上無視することができる。

【0121】従って、図14(b)のH型よりも図14★

$$D_H - D_A = (2.5 - 1) r c l^2 = 1.5 r c l^2$$

(3)

このRC遅延の低減は、配線分岐が信号伝播の上流寄りになることにより得られる効果である。また、このディレイの減少効果は、下流側に負荷容量がついてると、さらに大きくなる。さらに、使用する斜め方向配線の配線抵抗の方が、一般的にX-Y方向配線の配線抵抗より小さいため、この点もディレイの減少効果を増す要因となる。

【0123】尚、クロック端子が不均一に分布する場合には、ディレイのバランスポイントを図14(a)のライン上にとることができない場合がある。こうした場合、図15に示すように配線形状を修正する。この図15の配線形状により、バランスポイントを的確に設定することができる。この図15の配線形状は、図14(c)の全体のクロックツリーの中で、部分的に用いられ

ばよい。
【0124】また、図16(b)に示すように、ツリーの途中に挿入したバッファ310の出力端子付近において、他のバッファとディレイを揃えるために迂回経路311を設けることがある。こうした場合に、図16(a)に示すような斜め方向配線を使用することで、ビアホール数を削減することができる。従って、この図16

※返し構造を採用。すなわち、図14(a)に示すように、4つの地点P1、P2、P3、P4から斜め配線格子を使って互いに近づき合うように経路をつなぐ。P1、P2とP3、P4の二点ずつが結成された地点P5、P6で縦横どちらかの配線層の配線で結ぶことにより、図14(a)の形状が得られる。ただし、経路の分岐する地点P5、P6は、信号伝播の下流側のディレイが揃うような位置とする。

【0118】図14(b)に示す従来のH型の配線形状と、図14(a)に示す第9の実施形態の配線形状とを比較すると、配線長は数パーセントの差しかないが、配線RC遅延においては、優位な差がある。仮に、各配線層の単位長当たりの配線抵抗rと配線容量cが等しいとし、また末端には容量負荷がついていないとする。ここで、図14(b)に示す従来のH型の配線形状の配線遅延 D_H は、以下の式で得られる。

【0119】

【0120】

【0122】

★(a)の第9の実施形態の形状の方が、以下の分だけRC遅延を小さくすることができる。

30 図16(a)の構成は、ビアホール抵抗の低減や、エレクトロマイグレーション耐性の面で有利な効果が得られる。

【0125】尚、図17(a)、(b)、(c)に、45°及び135°方向の斜め配線格子を自動配線で行う場合の具体的な配線方法として迷路法を使う配線設計の例を示す。

【0126】図17(a)、(b)、(c)中の320、321は互いに接続すべき端子ペアの始点と終点である。330はチップコア領域内の配線禁止領域である。始点320から終点321まで図17(a)、(b)、(c)中の太線で示される経路で配線が配置される。図17(a)に示す例は、X-Y方向配線と斜め方向配線を併用した場合の配線を示す。図17(b)の例は、斜め方向配線だけで配線した例を示す。また図17(c)に示す例は、X-Y方向配線と135°方向の斜め配線を使った場合の配線を示している。

【0127】上記のように、第9の実施形態によれば、ツリー経路の構築において、斜め方向配線を活用した単位配線形状を組み合わせた構成を用いる。このため、配線RC遅延が低減され、最適なクロックツリーを構築することができる。

【0128】第10の実施形態

第10の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、図3のX-Y方向の配線格子を、互いに直交する3層の配線層により構成することで、セルロウ方向の配線リソースを増加させる実施形態である。

【0129】図18は、本発明の第10の実施形態に係る半導体集積回路の配線格子構造を示すレイアウト図である。図19は、図18に示すような配線格子構造に基づいて配線を実施した場合の配線構造を図18のX軸方向から観察した断面図である。

【0130】図18において、X-Y方向の配線格子は、3層の配線により構成されている。具体的には、図18に示すように、第1層601、第2層602、第3層603の配線と、第4層604、第5層の配線605とは、互いに直交する配線格子を構成している。ここで、第10の実施形態は、第1層配線601と平行する第3層配線603を提供する。すなわち、第1層および第3層配線に対して、第4層配線と第5層配線はそれぞれ45°、135°で交差するようにグリッドが配置されている。

【0131】図18中の601は、第1層の配線グリッドであり、その上層に直交して第2層の配線グリッド602が形成されている。この第2の配線グリッド602の上層に直交して第3の配線グリッド603が形成されている。さらに、第1層配線グリッド601および第3層配線グリッド603に対して45°斜め方向の第4層配線グリッド604と、第1層配線グリッド601および第3層配線グリッド603に対して135°斜め方向の第5層配線グリッド605とが順次配置されている。

【0132】第10の実施形態は、第1の実施形態と同様、斜め方向に配置された第4層配線604の間と第5層配線605の間の配線ピッチを、それぞれ第1層配線601の間及び第2層配線602の間、第2層配線602及び第3層配線603との間の配線ピッチ(λ)の $\sqrt{2}$ 倍($\sqrt{2} \cdot \lambda$)に設定する。また、図19に示すように、斜め方向に配置された第4層配線604の間と第5層配線605の間の配線幅を、それぞれ第1層配線601の間及び第2層配線602の間、第2層配線602及び第3層配線603との間の配線ピッチ(t)の $\sqrt{2}$ 倍($\sqrt{2} \cdot t$)に設定する。尚、第1層配線601、第2層配線602、第3層配線603は、配線設計におけるデザインルールにより定まる最小の配線幅、高さ、配線ピッチで定義されているのが望ましい。

【0133】図18に戻り、第1層配線601と第3層配線603はセルロウ方向と平行の方向に形成される。このため、第1の実施形態と比較して、さらにセルロウ方向の配線リソースを増加させることができる。尚、第10の実施形態は、配線チャネルを設けない点において、第3の実施形態と相違する。

【0134】従来のX-Y方向に直交する配線格子による多層構造においては、複数の層の配線を平行に形成した場合、配線の平行配置によるクロストークノイズを生じていた。第10の実施形態は、斜め配線格子と配線の平行配置を組み合わせることにより、クロストークノイズの発生を抑制しつつセルロウ方向の配線リソースを確保することができる。

【0135】上記のように、第10の実施形態によれば、セルロウと平行な方向に第1層配線および第3層配線を形成し、この上層に上記の斜め配線格子を形成する。このため、セルロウ方向の配線リソースを確保することができる。

【0136】尚、第10の実施形態の変形例として、第4層配線604と第5層配線605とが成す斜め配線格子のさらに上層に、1層あるいは複数の層の配線格子を形成してもよい。このさらに上層の配線格子は、第5層配線605に対して、互いに直交する第6層配線および第7層配線がなす2つの配線格子ペアが45度の角度で形成され、以降、この構成を繰り返して構成される。すなわち、上記の第1層配線、第2層配線および第3層配線がなす基準配線格子と、第4層配線および第5層配線がなす斜め配線格子に加え、さらに互いに直交する第p-1層と第p層の2つの配線格子ペアが、第p-2層の配線に対して45度の角度をなして形成されるq層の配線構造が提供される。(但し、 $q \geq 5$)

ここで、互いに直交する第p-1層と第p層の配線は、第p-2層配線の配線ピッチの $\sqrt{2}$ 倍に設定する。また、第p-1層と第p層の配線の配線幅を、それぞれ第p-2層配線の配線ピッチの $\sqrt{2}$ 倍に設定する。尚、第1層配線、第2層配線、第3層配線は、配線設計におけるデザインルールにより定まる最小の配線幅、高さ、配線ピッチで定義されているのが望ましい。

【0137】この変形例によれば、回路の集積度を向上させるとともに、配線RC遅延を低減させることができる。

【0138】第11の実施形態

第11の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、斜め配線格子をなす配線層の配線を、比較的長い配線であるグローバル配線に用いることにより、回路スピードを向上させる実施形態である。

【0139】図20は、第11の実施形態における配線の配置を説明する図である。図21は、第11の実施形態におけるグローバル配線を説明する図である。尚、以下では理解の便宜のため、第10の実施形態と同様、X-Y方向の配線格子が第1層配線、第2層配線および第3層配線により形成され、斜め配線格子が第4層配線および第5層配線により形成される場合を例として説明するが、これが第1の実施形態に示される第1層配線および第2層配線によりX-Y方向の配線格子が形成される

場合にも適用できることはいうまでもない。

【0140】図20に示すように、第11の実施形態は、斜め配線格子をなす第4層配線及び第5層配線の上下層配線は、グローバル配線のために用いられる。グローバル配線においては、一般に求められる遅延特性がクリティカルであって、この遅延特性がチップ全体の回路スピードを左右するため、特に配線RC遅延が問題となる。ここで、上記の実施形態は、上層配線のRC遅延が下層配線(X-Y方向の配線)に対して1/2となる。このため、この上層配線である斜め配線格子の配線をグ

ローバル配線に用いることによって、回路の動作スピードを向上させることができる。一方、下層配線(X-Y方向の配線)は、ローカルな配線に用いられることが望ましい。

【0141】尚、ここで、グローバル配線とは、チップ全体にわたるクロックネット(クロック配線)、バス、電源補強線などに用いられる配線である。例えば、0.25μmのデザインルールの場合、配線距離が約2.5mm以上の配線をグローバル配線とすると、この場合、配線RC遅延は約1.4ns程度となる。一方、ローカル配線とは、これより配線距離の短い配線をいう。

【0142】尚、このローカル配線に用いられるX-Y方向の配線(下層配線)の配線ピッチは、斜め方向配線(上層配線)の配線ピッチより狭くなる。この場合、図21に示すように、例えば、クロックバッファセルやバス用のバッファセルなど、ドライブ力の強いセル610は、各層の配線(601~604)を都度介するのではなく、グローバル配線と直接接続することが望ましい。このため、第11の実施形態は、ドライブ力の強いセルの出力端子の形状を直接第4層以上の斜め配線格子の配線と接続可能な形状とする。図22に示すように、これらドライブ力の強いセルの出力端子704は、上層の斜め配線格子の直交するアクセスポイントに定義される。

【0143】これらのセルの出力端子形状を、グローバル配線に直接接続できる形状とすることにより、これらのセルについての配線長が短縮され、配線設計も容易となる。また、直接上層の第4層以上の斜め配線格子の配線と接続するので、ビアホールの数も低減することができ、ビアホールに起因する抵抗を低減することができる。

【0144】上記のように、第11の実施形態によれば、斜め配線格子をなす配線層の配線を、比較的長い配線であるグローバル配線に用いる。このため、回路特性に大きく影響する配線の配線RC遅延が低減されて、回路スピードが向上される。第12の実施形態

第12の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、PLL(Phase Locked Loop)回路からのクロック供給用のクロック配線の構造を、PLLからチップセンターへ斜め配線格子を用いて配線し、このチップセンターから各フリップフロップ

への配線をツリー構造により定義することにより、RC積をバランスさせる実施形態である。

【0145】図23(a)は、従来のPLLからのクロック供給配線の配線手法を示す図である。PLL803は、センシティブなアナログセルであるため、回路特性上、チップの端部に配置する必要がある。このため、X-Y方向の配線801を用いる従来手法では、配線長が長くなっていた。図23(b)は、第12の実施形態の、PLLからのクロック供給配線の配線手法を示す図である。第12の実施形態は、PLL802からチップセンター804へのクロック供給配線802を斜め配線格子を用いて行う。このため、配線長が短縮されるとともに、配線RC遅延が低減される。図24に示すように、このチップセンターから各フリップフロップがなすクラスターへの配線がバッファセルを介してなされる。図25は、第12の実施形態のクロックツリーを示す図である。各バッファセルからは、図24に示すように、RC積をバランスさせるように、クロック配線経路が構成される。すなわち、チップセンターからはX-Y方向および斜め方向の遅延をバランスさせるように、クロック配線経路が階層的に構成される。この階層的クロックツリーは、図26に示すように、上記の第9の実施形態と同様に構成されてよい。尚、PLLは、DLLに置き換えられてもよい。

【0146】尚、これらのクロック配線経路には、上層の斜め配線格子を優先的に用い、かつ配線幅を広く設定する方がよい。すなわち、斜め配線格子の配線ピッチが下層のX-Y配線格子の√2倍であれば、斜め配線格子に太い配線幅を用いることが容易であり、これによって配線抵抗Rの低下に伴う配線RC遅延の増加を抑えることができる。

【0147】上記のように、第12の実施形態によれば、PLLからチップセンターへのクロック供給配線に斜め配線格子を用い、このチップセンターからチップ上の各フリップフロップへのクロック供給配線をX-Y方向および斜め方向の遅延をバランスさせるように、クロック配線経路が階層的に構成される。このため、クロック供給のための配線長が短縮されるとともに配線RC遅延が低減される。

【0148】第13の実施形態

第13の実施形態は、上記の実施形態の斜め配線格子を利用した多層配線構造において、チップ上にSRAMが配置される場合に、斜め配線格子を用いてこのSRAM上を通過配線させた実施形態である。尚、第13の実施形態において、SRAMをDRAMに置き換えて構成してもよい。

【0149】図27は、第13の実施形態におけるメモリ上の通過配線を説明する図である。下層のX-Y方向の配線層1、2は、例えばワード線およびビット線に用いられ、SRAM901内部に形成される。一方、通過

配線3、4は、上層の斜め配線格子を用いて配線される。すなわち、SRAM901内部のX-Y方向の配線1、2と、斜め配線格子を用いた通過配線2、3とは従来のように平行とならない。このため、従来と比較して、カップリングノイズが低減される。

【0150】上記のように、第13の実施形態によれば、メモリ上を通過する通過配線を斜め配線格子を用いてメモリ内の配線に対して45度または135度の交差角を成して形成する。このため、メモリ内配線と通過配線とのカップリングノイズが低減される。

【0151】尚、本発明は、上述した実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において、種々変更することが可能である。

【0152】

【発明の効果】以上説明したように、本発明によれば、X-Y方向に直交する配線格子に加えて、斜め方向に直交する配線格子を設けた多層配線構造を用いる半導体集積回路において、斜め配線層を活用することによって、回路の遅延特性とノイズ耐性が向上すると共に配線設計の容易化および製造コストの低減化が実現される。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体集積回路装置の配線格子構造を示すレイアウト図である。

【図2】図1に示すような配線格子構造に基づいて配線を実施した場合の配線構造の一例を示す平面図である。

【図3】図2のA-A断面図である。

【図4】本発明の第2の実施形態に係る半導体集積回路装置のリビータセル挿入手法を説明する図である。

【図5】配線遅延を説明する図である。

【図6】本発明の第3の実施形態に係る半導体集積回路装置の構成を示すレイアウト図である。

【図7】本発明の第4の実施形態に係る半導体集積回路装置のビアホール形状を示す部分平面図である。

【図8】本発明の第5の実施形態に係る半導体集積回路装置におけるセルまたはメガセルを示す図である。

【図9】第5の実施形態における配線の障害物の例を示す図である。

【図10】第5の実施形態における配線の障害物領域と配線との関係を説明する図である。

【図11】本発明の第6の実施形態に係る半導体集積回路装置の要部構成を示す図である。

【図12】本発明の第7の実施形態に係る半導体集積回路装置の要部構成を示す図である。

【図13】本発明の第8の実施形態に係る半導体集積回路のセルの配置方法を示す図である。

【図14】本発明の第9の実施形態に係る半導体集積回路のクロックツリーの基木構成を説明する図である。

【図15】第9の実施形態に係るクロックツリーの構成の変形例を説明する図である。

【図16】迂回経路を設けた場合のツリー要部の構成を

説明する図である。

【図17】斜め配線格子を自動配線で行う場合の具体的な配線方法を示した図である。

【図18】本発明の第10の実施形態に係る半導体集積回路の配線格子構造を示すレイアウト図である。

【図19】図18の配線格子構造をX軸方向から観察した場合の断面図である。

【図20】本発明の第11の実施形態に係る半導体集積回路のグローバル配線およびローカル配線による配線格子構造を説明する図である。

【図21】第11の実施形態において、ドライブ力の強いセルから斜め配線格子の配線への直接接続を説明する図である。

【図22】図21のドライブ力が強いセルの出力端子の定義位置を説明する図である。

【図23】従来のPLLから各フリップフロップへのクロック供給配線の配線構造および本発明の第12の実施形態に係るPLLから各フリップフロップへのクロック供給配線の配線構造を説明する図である。

【図24】第12の実施形態に係るPLLから各フリップフロップへのクロック供給配線の配線構造を説明する図である。

【図25】第12の実施形態のクロックツリー構造を説明する図である。

【図26】第12の実施形態のクロックツリー構造を説明する図である。

【図27】本発明の第13の実施形態に係る半導体集積回路の配線格子構造を示すレイアウト図である。

【図28】斜め方向の配線を利用した従来の半導体集積回路装置の配線格子構造を示すレイアウト図である。

【図29】従来技術の格子点のずれの問題点を説明する図である。

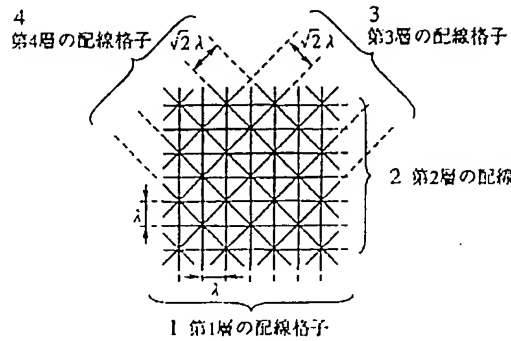
【符号の説明】

- 1、601 第1層配線
- 2、602 第2層配線
- 3、603 第3層配線
- 4、604 第4層配線
- 10 半導体基板
- 11 層間絶縁膜
- 12、13、14 ビアホール
- 20 リビータセル
- 21、22、101、201 セル
- 80 セルロウ
- 85 配線チャネル
- 102 有効領域
- 103 トランジスタ領域
- 191 電源供給用配線
- 250、260 カットライン
- 605 第5層配線
- 610 ドライブ力の強いセル

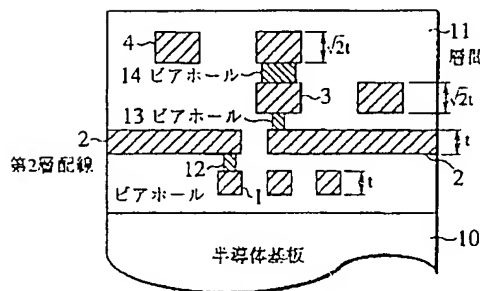
29

S01、S02 クロック配線
 S03 PLL
 S04 チップセンター
 S05 バッファセル

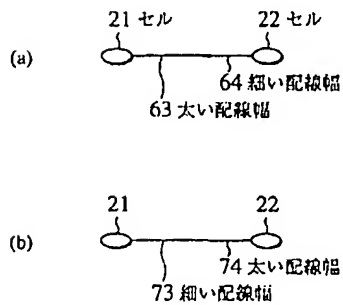
【図1】



【図3】



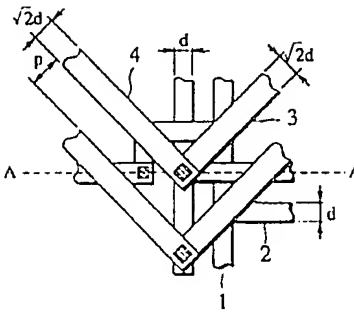
【図5】



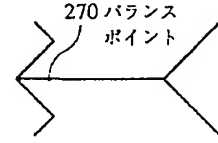
30

S06 フリップフロップ
 S07 クラスタ
 S01 SRAM

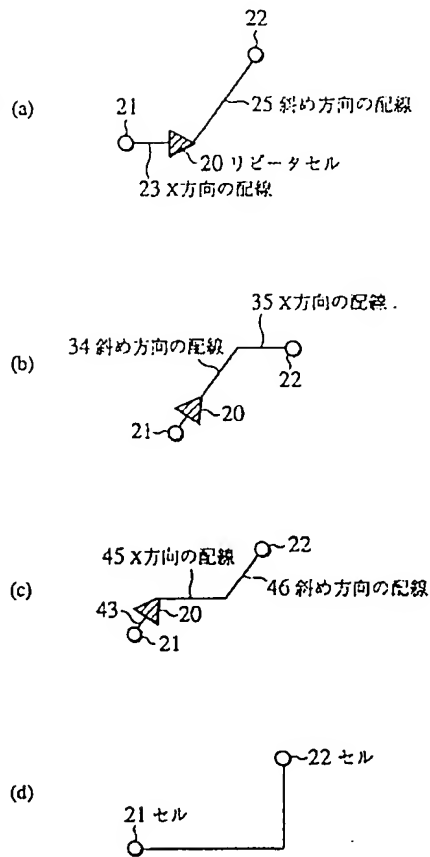
【図2】



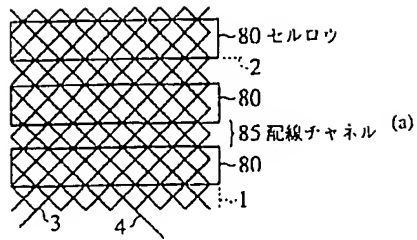
【図15】



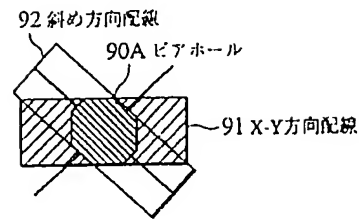
【図4】



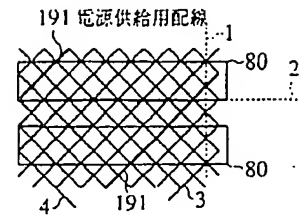
【図6】



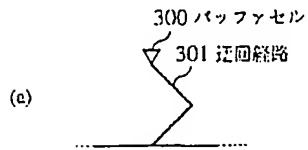
【図7】



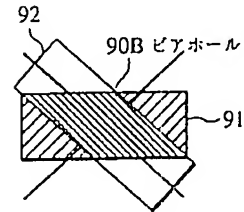
【図12】



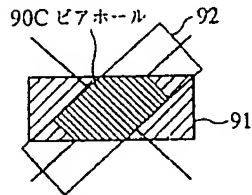
【図16】



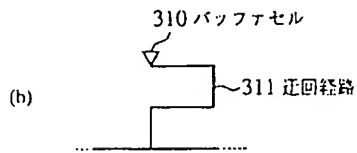
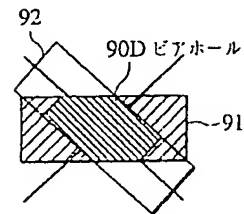
(b)



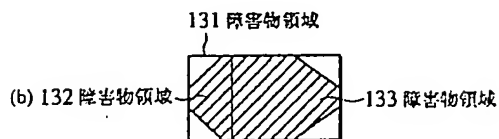
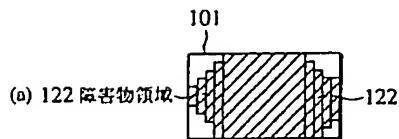
(c)



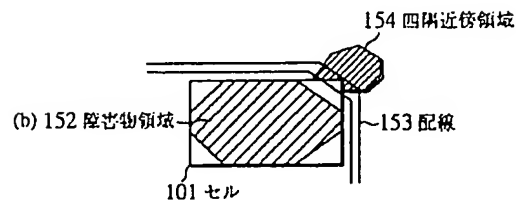
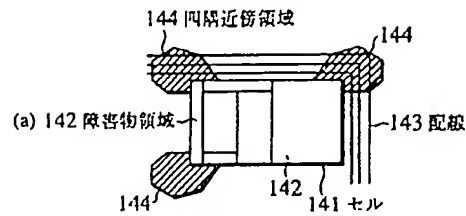
(d)



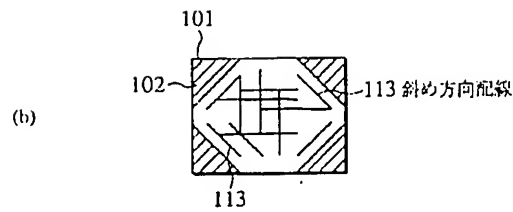
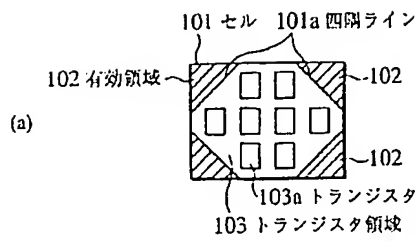
【図9】



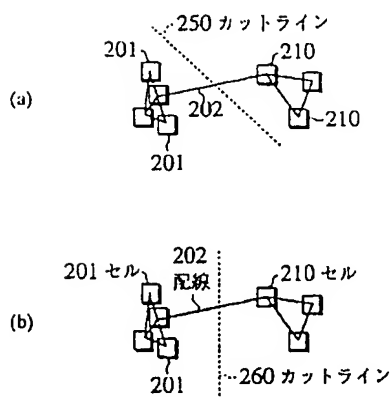
【図10】



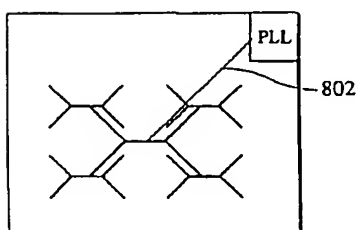
【図8】



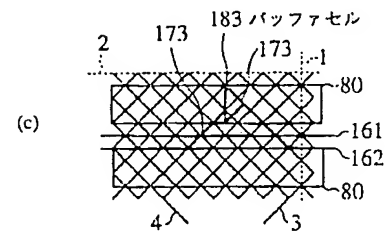
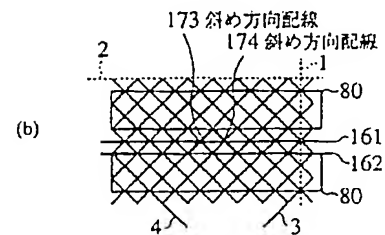
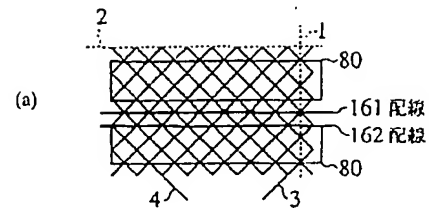
【図13】



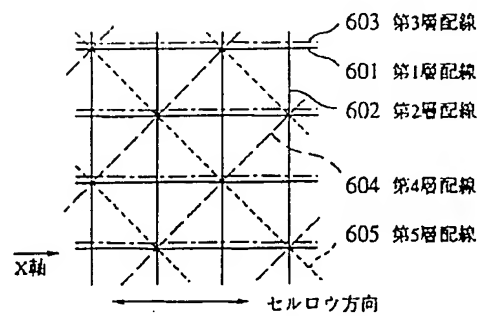
【図26】



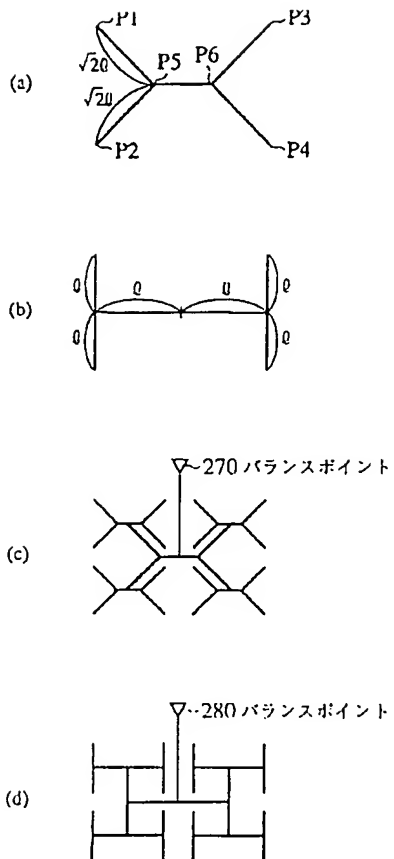
【図11】



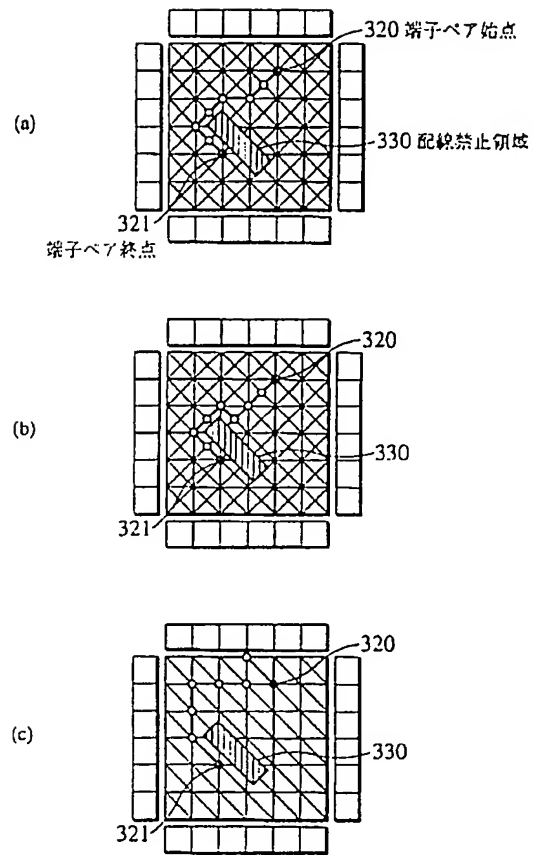
【図18】



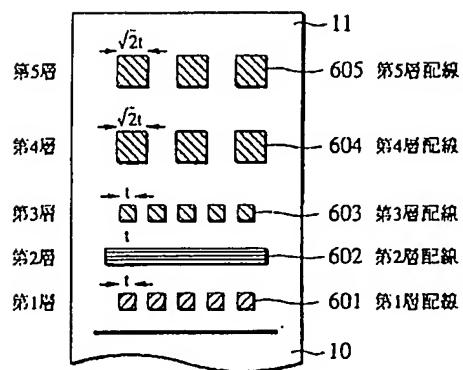
【図14】



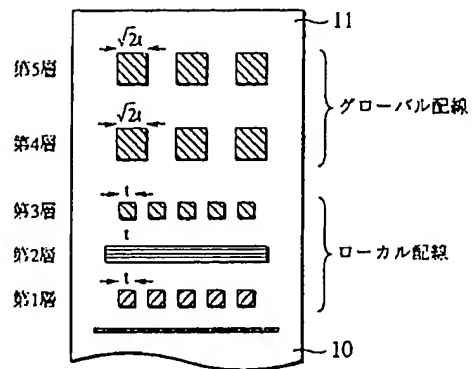
【図17】



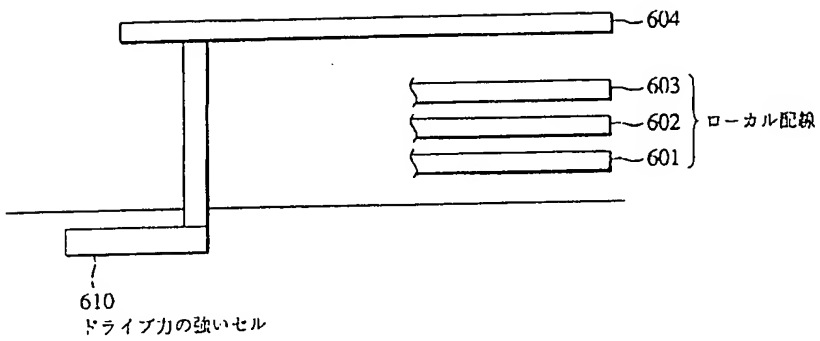
【図19】



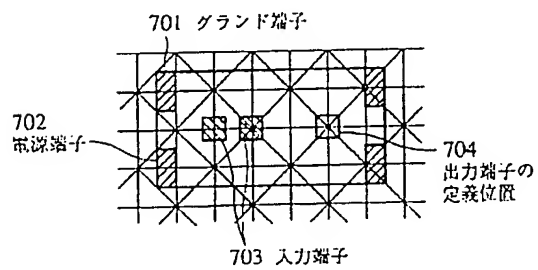
【図20】



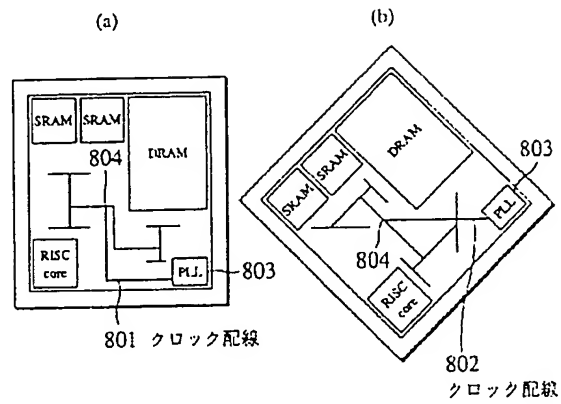
【図21】



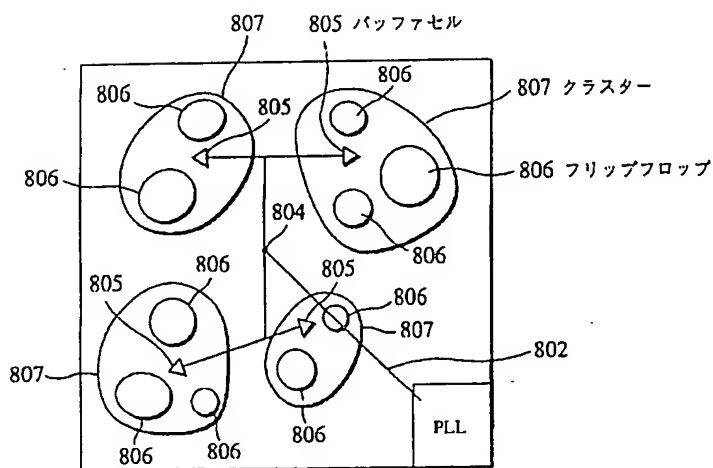
【図22】



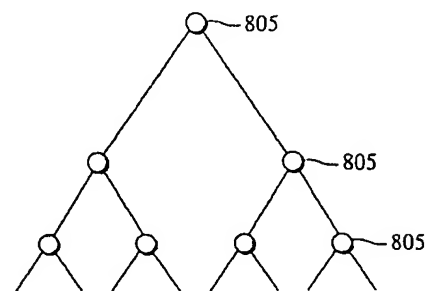
【図23】



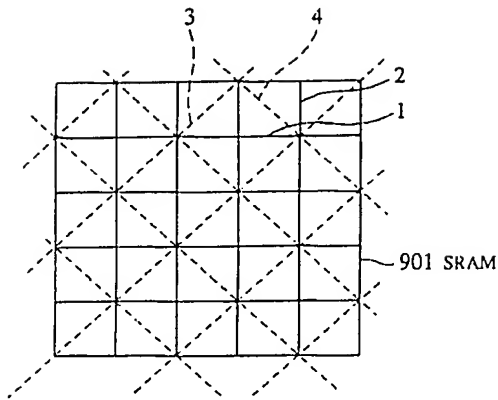
【図24】



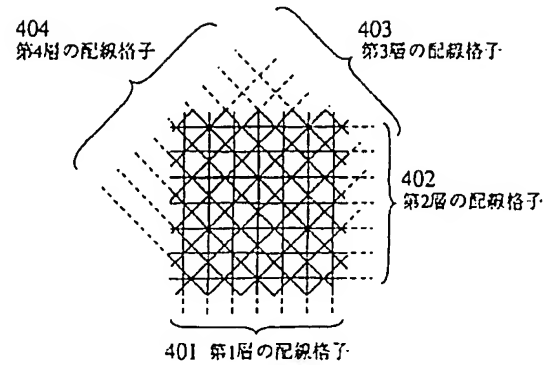
【図25】



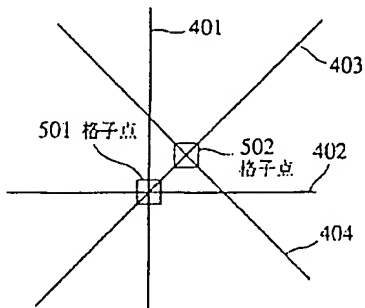
【図27】



【図28】



【図29】



フロントページの続き

(72)発明者 村方 正美
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝マイクロエレクトロニクスセン
 ター内
 (72)発明者 山田 正昭
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝マイクロエレクトロニクスセン
 ター内

(72)発明者 南 文裕
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝マイクロエレクトロニクスセン
 ター内
 (72)発明者 秋山 寿博
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝マイクロエレクトロニクスセン
 ター内
 (72)発明者 青木 孝哲
 神奈川県川崎市幸区小向東芝町1番地 株
 式会社東芝マイクロエレクトロニクスセン
 ター内

(19) JAPANESE PATENT OFFICE (JP)

(12) Publication of Unexamined Patent Application (KOKAI) (A)

(11) Japanese Patent Application Kokai Number: **2000-82743** (P2000-82743A)

(43) Kokai Publication Date: March 21, 2000

| (51) Int. Cl. ⁷ | ID Symbol | FI | Theme Cord (Reference) |
|--|-----------|--|------------------------|
| H 01 L 21/82 | | H 01 L 21/82 | W |
| Request for Examination: Not requested | | Number of Claims: 25 | OL (21 pages total) |
| (21) Application Number: H11-175930 | | (71) Applicant: 000003078 TOSHIBA CORPORATION 72 Horikawa-cho, Saiwai-ku Kawasaki-shi, Kanagawa | |
| (22) Filing Date: June 22, 1999 | | (72) Inventor: Mutsunori [?] Igarashi c/o TOSHIBA CORPORATION Microelectronics Center 1 Toshiba-cho, Komukai, Saiwai-ku Kawasaki-shi, Kanagawa | |
| (31) Priority Claim Number: H10-176285 | | (72) Inventor: Takashi Mitsuhashi c/o TOSHIBA CORPORATION Microelectronics Center 1 Toshiba-cho, Komukai, Saiwai-ku Kawasaki-shi, Kanagawa | |
| (32) Priority Date: June 23, 1998 | | (74) Agent: 100083806 Hidekazu Mitsuyoshi, Patent Attorney (and 7 others) | |
| (33) Country of Priority Claim: Japan (JP) | | Continue to last page | |

(54) [Title of the Invention] Semiconductor integrated circuit apparatus, semiconductor integrated circuit wiring method and cell layout method

(57) [Abstract]

[Object] To achieve the reduction of circuit delay and the improvement of noise resistance in a semiconductor integrated circuit with a multi-layer wiring structure comprising wiring layers of diagonal-direction wiring grids.

[Solution] Standard wiring layers (1, 2) constituting standard wiring grids in the X-Y direction are provided by m layers ($m \geq 2$) of wiring in which the n th layer ($n \geq 2$) wiring and the $(n-1)$ th layer wiring cross each other perpendicularly; furthermore, by the $(m+1)$ th layer wiring and the $(m+2)$ th layer wiring that cross each other perpendicularly, diagonal wiring layers (3, 4) constituting diagonal wiring grids are provided which cross the standard wiring grids at an angle of 45° or 135° , in which the line pitch between the wiring lines of the $(m+1)$ th layer and between the wiring lines of the $(m+2)$ th layer is set at $\sqrt{2}$ times the line pitch between the wiring lines of the respective layers of the standard wiring layers, and in which the wiring line width [of the $(m+1)$ th layer wiring and the $(m+2)$ th layer wiring] is also set at $\sqrt{2}$ times the wiring line width between the wiring lines of the respective layers of the standard wiring layers.

[Claims]

[Claim 1] A semiconductor integrated circuit apparatus which is characterized by the fact that

[a] said apparatus comprises

[i] a semiconductor region in which a plurality of unit elements are formed,

[ii] standard wiring layers which are formed above said semiconductor region and which form standard wiring grids in the X-Y direction by m layers ($m \geq 2$) of wiring in which the n th layer ($n \geq 2$) wiring and the $(n-1)$ th layer wiring cross each other perpendicularly, and

[iii] diagonal wiring layers which are positioned above the aforementioned standard wiring layers and which form, by the $(m+1)$ th layer wiring and the $(m+2)$ th layer wiring that cross each other perpendicularly, diagonal wiring grids that cross the aforementioned standard wiring grids at an angle of 45° or 135° ;

[b] the line pitch between the wiring lines of the $(m+1)$ th layer and between the wiring lines of the $(m+2)$ th layer of the aforementioned diagonal wiring layers is set at $\sqrt{2}$ times the line pitch between the wiring lines of the respective layers of the aforementioned standard wiring layers; and¹ [c] the wiring line width of the $(m+1)$ th layer and the wiring line width of the aforementioned $(m+2)$ th layer of the aforementioned diagonal wiring layers are set at $\sqrt{2}$ times the wiring line width of the respective layers of the aforementioned standard wiring layers.

[Claim 2] The semiconductor integrated circuit apparatus described in Claim 1, which is characterized by the fact that the wiring film thickness of the aforementioned diagonal wiring layers is set at $\sqrt{2}$ times the wiring film thickness of the aforementioned standard wiring grids.²

[Claim 3] The semiconductor integrated circuit apparatus described in Claim 1 or Claim 2, which is characterized by the fact that the aforementioned standard wiring layers and the aforementioned diagonal wiring layers form wiring channel regions, and said wiring channel regions are formed in a direction parallel to the cell rows which consist of rows of logic cells made up of the aforementioned unit elements.

[Claim 4] The semiconductor integrated circuit apparatus described in any of Claims 1 through 3, which is characterized by the fact that via holes for wiring connection are provided at the intersections of the wiring of the aforementioned standard wiring layers and the wiring of the aforementioned diagonal wiring layers, and the cross-sectional shape of these via holes is a hexagon, octagon, or parallelogram.

[Claim 5] The semiconductor integrated circuit apparatus described in any of Claims 1 through 4, which is characterized by the fact that the aforementioned plurality of unit elements form cells, and

¹ Translator's note: We have used the same paragraph breaks as the original document, and added [a], [b], [c], etc., and [i], [ii], [iii], etc., to indicate the parallel structure in a highly complex sentence.

² Translator's note: The terms "layer" and "grid" are interchangeably used throughout the Japanese source document; our translation faithfully reflects the wording of the original document.

said cells have obstacle regions which are defined as a pattern following the wiring direction of the aforementioned diagonal wiring grids and in which wiring cannot be done.

[Claim 6] The semiconductor integrated circuit apparatus described in any of Claims 1 through 5, which is characterized by the fact that a part of the wiring of the aforementioned diagonal wiring layers is configured as power supply wiring for supplying power.

[Claim 7] The semiconductor integrated circuit apparatus described in any of Claims 1 through 6, which is characterized by the fact that [a] the aforementioned plurality of unit elements form cells consisting of the aforementioned plurality of unit elements,
[b] said cells are supplied clock signals through tree-shaped wiring paths, and
[c] said tree-shaped wiring paths are formed by combining unit wiring patterns which are formed by connecting, through the wiring of [one of] the aforementioned standard wiring layers, [i] a first connection made by paths formed by bringing close to each other wiring lines of the aforementioned diagonal wiring layers from points 1 and 2, and [ii] a second connection made by paths formed by bringing close to each other wiring lines of the aforementioned diagonal wiring layers from points 3 and 4.

[Claim 8] The semiconductor integrated circuit apparatus described in any of Claims 1 through 7, which is characterized by the fact that [a] the aforementioned semiconductor integrated circuit apparatus further comprises upper wiring layers which are positioned above the aforementioned diagonal wiring layers, which form upper wiring grids by the $(p-1)$ th layer ($p \geq 2$) wiring and the p th layer wiring that cross each other perpendicularly, and which cross the aforementioned diagonal wiring grids or the $(p-2)$ th layer wiring at an angle of 45° or 135° ,
[b] the line pitch between the wiring lines of the respective layers of said upper wiring layers is set at $\sqrt{2}$ times the line pitch between the wiring lines of the respective layers of the aforementioned diagonal wiring layers or the line pitch of the wiring lines of said $(p-2)$ th layer wiring, and
[c] the wiring line width of the respective layers of said upper wiring layers is set at $\sqrt{2}$ times the wiring line width of the wiring of the respective layers of the aforementioned diagonal wiring layers or the wiring line width of said $(p-2)$ th layer wiring.

[Claim 9] The semiconductor integrated circuit apparatus described in any of Claims 1 through 8, which is characterized by the fact that the aforementioned diagonal wiring layers comprise global wiring which extends across essentially the entire chip.

[Claim 10] The semiconductor integrated circuit apparatus described in Claim 9, which is characterized by the fact that in the aforementioned standard wiring layers, local wiring other than the aforementioned global wiring is used.

[Claim 11] The semiconductor integrated circuit apparatus described in Claim 9 or Claim 10, which is characterized by the fact that the aforementioned plurality of unit elements form cells, and said cells have an output terminal pattern which allows direct connection to the wiring of the

aforementioned diagonal wiring layers in cases where direct connection to the aforementioned global wiring is required.

[Claim 12] The semiconductor integrated circuit apparatus described in any of Claims 1 through 11, which is characterized by the fact that [a] the aforementioned semiconductor integrated circuit apparatus further comprises flip-flop circuits and a PLL (Phase Locked Loop) which is positioned in the corner of the chip, [b] said flip-flop circuits are supplied a clock signal through tree-shaped wiring paths, and [c] said tree-shaped wiring paths are connected using the wiring of the aforementioned diagonal wiring layers from said PLL to the central region of the chip, and are connected from the aforementioned central region of the chip to the aforementioned flip-flop circuits in a hierarchical structure via buffer cells, so that the RC product is balanced.

[Claim 13] The semiconductor integrated circuit apparatus described in any of Claims 1 through 12, which is characterized by the fact that the aforementioned semiconductor integrated circuit apparatus further comprises SRAM circuits which use wiring of the aforementioned standard wiring layers for their internal wiring, and the wiring passing over said SRAM circuits is wired on³ the aforementioned diagonal wiring layers.

[Claim 14] The semiconductor integrated circuit apparatus described in any of Claims 1 through 13, which is characterized by the fact that the aforementioned standard wiring layers are composed of three layers, and the first layer wiring and third layer wiring of the aforementioned standard wiring layers are laid out in a direction parallel to the cell rows which consist of rows of logic cells made up of the aforementioned unit elements.

[Claim 15] The semiconductor integrated circuit [apparatus] described in any of Claims 1 through 13, which is characterized by the fact that the aforementioned standard wiring layers are composed of two layers.

[Claim 16] A semiconductor integrated circuit wiring method for wiring the elements of a semiconductor integrated circuit;
said semiconductor integrated circuit wiring method being characterized by the fact that it includes
a step of forming standard wiring layers in the X-Y direction comprising m layers ($m \geq 2$) of wiring in which the n th layer ($n \geq 2$) wiring and the $(n-1)$ th layer wiring cross each other perpendicularly, and
a step of forming diagonal wiring layers which comprise the $(m+1)$ th layer wiring and the $(m+2)$ th layer wiring that cross each other perpendicularly, which cross the aforementioned standard wiring layers at an angle of 45° or 135° , in which the line pitch between the wiring lines of the $(m+1)$ th layer and between the wiring lines of the $(m+2)$ th layer is set at $\sqrt{2}$ times the line

³ Wording unclear in the original – Translator.

pitch between the wiring lines of the respective layers of the aforementioned standard wiring layers, and in which the wiring line width of the $(m+1)$ th layer wiring and the $(m+2)$ th layer wiring is set at $\sqrt{2}$ times the wiring line width of the respective layers of the aforementioned standard wiring layers.

[Claim 17] The semiconductor integrated circuit wiring method described in Claim 16, which is characterized by the fact that the aforementioned semiconductor integrated circuit wiring method further includes

a step of extracting from wiring nets formed by the aforementioned standard wiring layers [any] wiring net[s] which generate[s] a delay exceeding the specified delay time; and
a step of inserting a signal-amplifying buffer cell in a position over said extracted wiring net[s] in which this buffer cell can be connected to the wiring of the aforementioned diagonal wiring grids.

[Claim 18] The semiconductor integrated circuit wiring method described in Claim 16 or 17, which is characterized by the fact that the aforementioned semiconductor integrated circuit wiring method further includes

a step of defining cells which are made up of the aforementioned plurality of unit elements, and
a step of defining in said cells an obstacle region where wiring cannot be done as a pattern which follows the wiring direction of the aforementioned diagonal wiring layers.

[Claim 19] The semiconductor integrated circuit wiring method described in Claim 18, which is characterized by the fact that, in the aforementioned step of defining an obstacle region, the aforementioned $(m+1)$ th layer wiring or the aforementioned $(m+2)$ th layer wiring is laid out near the corners of that region.

[Claim 20] The semiconductor integrated circuit wiring method described in any of Claims 16 through 19, which is characterized by the fact that the aforementioned semiconductor integrated circuit wiring method further includes

a step of replacing a specified portion of one of two parallel wiring lines in the same layer (among wiring lines of any of the aforementioned m layers of the aforementioned standard wiring layers) with wiring of [one of] the aforementioned diagonal wiring layers, in cases where one of the aforementioned two wiring lines induces noise in the other wiring line.

[Claim 21] The semiconductor integrated circuit wiring method described in Claim 20, which is characterized by the fact that the aforementioned semiconductor integrated circuit wiring method further includes

a step of inserting buffer cells in the wiring path of the aforementioned diagonal wiring layer that is used as the aforementioned replacement.

[Claim 22] A cell layout method for laying out cells in a semiconductor integrated circuit; said cell layout method being characterized by the fact that it includes

a step of forming standard wiring layers in the X-Y direction comprising m layers ($m \geq 2$) of

wiring in which the n th layer ($n \geq 2$) wiring and the $(n-1)$ th layer wiring cross each other perpendicularly,
a step of forming diagonal wiring layers which comprise the $(m+1)$ th layer wiring and the $(m+2)$ th layer wiring that cross each other perpendicularly, which cross the aforementioned standard wiring layers at an angle of 45° or 135° , and in which the line pitch between the wiring lines of the $(m+1)$ th layer and between the wiring lines of the $(m+2)$ th layer is set at $\sqrt{2}$ times the line pitch between the wiring lines of the respective layers of the aforementioned standard wiring layers, and
a step of laying out cells comprising a plurality of unit elements according to a specified cutting method which uses X-Y direction cut lines corresponding to the wiring direction of the aforementioned standard wiring layers and diagonal-direction cut lines corresponding to the wiring direction of the aforementioned diagonal wiring layers.

[Claim 23] The semiconductor integrated circuit wiring method described in any of Claims 16 through 22 [*sic*] which is characterized by the fact that the aforementioned semiconductor integrated circuit wiring method further includes
a step of establishing first paths formed by bringing close to each other wiring lines of the aforementioned diagonal wiring layers from points 1 and 2,
a step of establishing second paths formed by bringing close to each other wiring lines of the aforementioned diagonal wiring layers from points 3 and 4,
a step of forming unit wiring patterns which are configured by connecting the aforementioned first paths and the aforementioned second paths by means of the wiring of [one of] the aforementioned standard wiring layers, and
a step of forming tree-shaped wiring paths, which supply clock signals to cells made up of the aforementioned plurality of unit elements, by combining the aforementioned unit wiring patterns.

[Claim 24] A semiconductor integrated circuit wiring method for wiring elements of semiconductor integrated circuits;
said semiconductor integrated circuit wiring method being characterized by the fact that it includes
a step of forming standard wiring layers in the X-Y direction comprising m layers ($m \geq 2$) of wiring in which the n th layer ($n \geq 2$) wiring and the $(n-1)$ th layer wiring cross each other perpendicularly,
a step of forming diagonal wiring layers which comprise the $(m+1)$ th layer wiring and the $(m+2)$ th layer wiring that cross each other perpendicularly, which cross the aforementioned standard wiring layers at an angle of 45° or 135° , and in which the line pitch between the wiring lines of the $(m+1)$ th layer and between the wiring lines of the $(m+2)$ th layer is set at $\sqrt{2}$ times the line pitch between the wiring lines of the respective layers of the aforementioned standard wiring layers,
a step of making connections from a PLL (Phase Locked Loop) located in the corner of the chip to the central region of the chip using the wiring of the aforementioned diagonal wiring layers,

and

a step of making hierarchical connections from the aforementioned central region of the chip to the aforementioned [sic] flip-flop circuits in the aforementioned chip via buffer cells, so that the RC product is balanced.

[Claim 25] A semiconductor integrated circuit wiring method for wiring elements of semiconductor integrated circuits;
said semiconductor integrated circuit wiring method being characterized by the fact that it includes
a step of forming standard wiring layers in the X-Y direction comprising m layers ($m \geq 2$) of wiring in which the n th layer ($n \geq 2$) wiring and the $(n-1)$ th layer wiring cross each other perpendicularly,
a step of forming diagonal wiring layers which comprise the $(m+1)$ th layer wiring and the $(m+2)$ th layer wiring that cross each other perpendicularly, which cross the aforementioned standard wiring layers at an angle of 45° or 135° , and in which the line pitch between the wiring lines of the $(m+1)$ th layer and between the wiring lines of the $(m+2)$ th layer is set at $\sqrt{2}$ times the line pitch between the wiring lines of the respective layers of the aforementioned standard wiring layers,
a step of forming SRAM circuits which use wiring of the aforementioned standard wiring layers for their internal wiring, and
a step of forming on the aforementioned diagonal wiring layers the wiring that passes over the aforementioned SRAM circuits.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention] The present invention relates to a semiconductor integrated circuit apparatus, semiconductor integrated circuit wiring methods and a cell layout method which involve multi-layer wiring structures. In particular, it relates to semiconductor integrated circuits and semiconductor integrated circuit wiring technology for achieving reduced circuit delay and improved noise resistance in semiconductor integrated circuits in which wiring layers constituting diagonal-direction wiring grids are formed above wiring layers constituting X-Y direction wiring grids.

[0002]

[Prior Art] In the conventional multi-layer wiring structure for LSIs⁴ of the standard cell type or the gate array type, a method was adopted of building up, one upon the other, wiring layers which crossed perpendicularly. Specifically, it was a structure in which the first layer and the second layer crossed perpendicularly, the second layer and the third layer crossed

⁴ Translator's note: the term "LSI" is used as a tangible noun.

perpendicularly, and, in the same way, the $(n-1)$ th layer and the n th layer crossed perpendicularly. In a multi-layer wiring structure of this type, in which each layer crossed another perpendicularly, in the case of connecting two points in a diagonal direction, it became a matter of connecting points which are separated by Euclidean distances. Therefore, the length of wiring required was $\sqrt{2}$ times the direct distance or longer. Consequently, multi-layer wiring structures of the perpendicular crossing type resulted in overhead, both in terms of degree of integration and delay characteristics.

[0003] However, when designing LSI wiring on the computer, wiring methods using perpendicular coordinates are easier in terms of their algorithms. For this reason, when working on computers for wiring design, the above-mentioned overhead was ignored.

[0004] However, with the progress toward finer circuit structures, the delay component caused by the wiring structure has come to influence the overall performance of circuits. Therefore, it has become impossible to ignore the overhead resulting from lengthening of the aforementioned wiring length.

[0005] Specifically, in the first place, the delay component caused by wiring resistance accounts for the majority of the critical path delay. Thus, the effect that wiring length has on circuit performance has increased.

[0006] Second, the composition of load capacitance caused by the wiring is such that the coupling capacitance between adjacent wiring lines is more of a controlling factor than capacitance relative to the substrate. For this reason, the issue of how to reduce the capacitance between adjacent wiring lines has become an important factor in increasing circuit performance.

[0007] Third, mis-operation due to coupling noise caused by coupling capacitance between these adjacent wiring lines has become of more concern. Particularly in conventional wiring structures in which all wiring lines crossed perpendicularly, in cases where there was a mutual effect between adjacent wiring lines running parallel in the same layer, even if the wiring [paths] were changed to another wiring layer, the lines would still be running parallel above and below. For this reason, reducing the coupling capacitance between wiring lines running parallel in the same layer is difficult.

[0008] In relation to multi-layer wiring structures of the type in which lines cross perpendicularly, wiring techniques have been proposed which, in addition to [having] the perpendicularly crossing wiring structure, use wiring in a diagonal direction (45° or 135°) to shorten wiring lengths. For example, Japanese Patent Application Kokai No. H5-102305, "Automatic layout method for semiconductor integrated circuit," discloses this diagonal-direction wiring technique. [Here,] this prior art is described.

[0009] Figure 28 is a layout diagram which shows the wiring grid structure of a semiconductor integrated circuit apparatus based on prior art utilizing such diagonal-direction wiring.

[0010] This wiring structure is a structure in which diagonal-direction wiring grids are formed as separate layers above layers forming perpendicular coordinates. 401 in Figure 28 is the wiring grid of a first layer, and as a layer above it, the wiring grid of a second layer 402 is perpendicularly formed. Additionally, formed above these layers are the wiring grid of a third layer 403 with a 45° diagonal direction relative to the first layer 401, and the wiring grid of a fourth layer 404 with a 135° diagonal direction relative to the first layer 401.

[0011] However, this prior art multi-layer wiring technology utilizing diagonal-direction wiring has the following problems:

[0012] (1) With prior art multi-layer wiring structures, because they simply provide wiring grids in the diagonal direction, there is the problem that the grid points can shift. Specifically, as shown in Figure 29, the grid point of the first layer 401 and the second layer 402 is 501, while the grid point of the third layer 403 and the fourth layer 404 is 502. When a via hole from the fourth layer 404 to the third layer 403 is placed in this case, it is positioned at the grid point 502. Meanwhile, when a via hole from the third layer 403 to the second layer 402 is placed, it is positioned at the grid point 501. However, when these grid points 502 and 501 are nearby, it is not possible to place the via holes. For this reason, it becomes necessary to place the via holes in another position. Thus, wiring design becomes complicated due to shifting of grid points between the strata of the upper-layer diagonal wiring grids (i.e., the third layer 403 and the fourth layer 404) and the lower-layer X-Y wiring grids (i.e., the first layer 401 and the second layer 402).

[0013] (2) The resistance of the diagonal wiring layers of the upper layer is similar to that of the wiring layers of the lower layer. For this reason, even by using diagonal wiring layers in the upper layer, RC delay originating in the wiring is not reduced. Here, RC delay is a delay due to the resistance component R and the capacitance component C. Therefore, even using diagonal wiring grids in the upper layer, it is not possible to create a wiring structure which is suitable for global wiring connecting long distances.

[0014] (3) Concerning the line pitch of the upper-layer diagonal wiring layers, the line pitch is generally not wider than the minimum design rule. Therefore, even disposing diagonal wiring layers above [the X-Y direction wiring layers] does not result in a configuration which reduces capacitance between adjacent wiring. Concerning this point, a second technology which lays out diagonally the wiring of the layer for which the constraints on wiring line spacing according to CAD design rules in relation to the wiring grid are the most severe is disclosed in Japanese Patent Application Kokai No. H7-86414, "Semiconductor device." However, because this prior art does not use a configuration which simultaneously makes wiring line widths wider, it cannot reduce the aforementioned wiring line resistance. Furthermore, because the coupling capacitance of adjacent wiring is not reduced, it is not possible to reduce the RC delay of the wiring.

[0015] (4) The shape of via holes in the prior art is defined as a rectangular shape. However, in cases of connecting wiring lines other than those which intersect each other perpendicularly—in other words, in cases of connecting wiring lines which intersect diagonally—using rectangular via holes, it is not possible to ensure sufficient surface area for the cut. Consequently, the resistance to electro-migration phenomena which cause wiring failure is inadequate.

[0016] (5) The relationship between the definition of cell rows formed by laying out logic cells in a row pattern and the definition of diagonal wiring grids is not clear. For this reason, it is evident that, for example, in the case where two wiring layers which cross perpendicularly and two diagonal wiring layers—for a total of four wiring layers—are defined, wiring resources positioned parallel to cell rows are inadequate. Concerning this point, a technology which solves the aforementioned problem of lack of wiring resources by defining two diagonal-direction wiring layers on top of three wiring layers that intersect perpendicularly is disclosed in Japanese Patent Application Kokai No. H5-243379, “Semiconductor integrated circuit apparatus.” However, this technology requires five wiring layers and thus leads to the problem of increased cost

[0017] (6) Within the same wiring layer, it is not possible to reduce crosstalk noise which causes mis-operation of circuits. In prior-art wiring structures comprising diagonal wiring grids, there are no cases of layering on top of one another wiring layers having the same wiring direction. Therefore, the coupling capacitance between wiring lines of the upper and lower wiring layers is reduced; consequently, the problem of crosstalk noise between upper and lower wiring lines is solved. Within the same wiring layer, however, different wiring lines are laid parallel [to each other], so that coupling capacitance between adjacent wiring lines cannot be reduced. Specifically, with the conventional diagonal wiring grid technology, it is not possible to remove the crosstalk noise which occurs between two wiring lines running parallel within the same wiring layer.

[0018] (7) To provide wiring for power supply, the conventional diagonal wiring grids are inadequate. For example, in cases where a pad is configured in the core area of a chip which makes up a combination circuit, it is possible to use a part of this pad for power supply. (Incidentally, as opposed to this core area, the peripheral region where the I/Os of the chip are laid out is called the “I/O area.”) In this case, it is possible to use the upper diagonal wiring grid layer as auxiliary wiring for the power supply. In the case of such a structure, the conventional diagonal wiring grid structure is a structure which has a wiring line pitch or wiring line width unsuitable for configuring wide-width wiring. For that reason, such a structure is not suited to the effective utilization of the upper diagonal wiring grid layer for power supply.

[0019] (8) Because the wiring length of the wiring lines which supply clock [signals] from the PLL (Phase Locked Loop) to the flip-flops within the chip is long, delays are increased.

[0020] To avoid degrading the characteristics of the analog circuits built into the chip, the PLL is normally positioned in the corner of the chip, and wiring runs from this corner to each flip-flop. Because of this, even in the shortest case, it is necessary to run wiring with a length of almost half the perimeter of the chip. Consequently, along with an increase in delay, there is a negative impact on the duty ratio of the clock due to the increase in the number of buffer stages.

[0021] (9) In the case of memory circuits such as SRAMs, the wiring which passes over such memory circuits can cause coupling noise between the wiring lines within the memory and "through lines" which pass over them, negatively impacting performance. Therefore, these "through lines" which pass over memory circuits are avoided in prior art when designing the wiring. There is one prior art technology for shielding these "through lines" which pass over memory circuits. With this technology, however, yet another layer is necessary to shield the wiring lines. Consequently, circuit configuration becomes complex. Furthermore, there is another prior art which uses these "through lines" that pass over memory circuits for low amplitude signals. However, the integrated circuits to which this technology is applicable are limited.

[0022]

[Problems to Be Solved by the Invention] The present invention was devised to solve the aforementioned problems of the prior art.

[0023] Furthermore, its object is to provide a semiconductor integrated circuit and a semiconductor integrated circuit wiring method which make it possible to improve the delay characteristics and noise resistance of circuits, to facilitate the wiring design and to reduce the fabrication cost, through use of diagonal wiring layers, in a semiconductor integrated circuit with a multi-layer wiring structure which provides wiring grids that cross in a diagonal direction in addition to wiring grids that cross perpendicularly in the X-Y direction.

[0024]

[Means of Solving the Problems] A special feature of the present invention is the fact that a semiconductor integrated circuit apparatus is provided which is characterized in that [a] [said apparatus] comprises [i] a semiconductor region in which a plurality of unit elements are formed, [ii] standard wiring layers which are formed above said semiconductor region and which form standard wiring grids in the X-Y direction by m layers ($m \geq 2$) of wiring in which the n th layer ($n \geq 2$) wiring and the $(n-1)$ th layer wiring cross each other perpendicularly, and [iii] diagonal wiring layers which are positioned above the aforementioned standard wiring layers and which form, by the $(m+1)$ th layer wiring and the $(m+2)$ th layer wiring that cross each other perpendicularly, diagonal wiring grids that cross the aforementioned standard wiring grids at an angle of 45° or 135° ; [b] the line pitch between the wiring lines of the $(m+1)$ th layer and between the wiring lines of the $(m+2)$ th layer of the aforementioned diagonal wiring layers is set at $\sqrt{2}$ times the line pitch between the wiring lines of the respective layers of the aforementioned

standard wiring layers; and [c] the wiring line width of the $(m+1)$ th layer and the wiring line width of the aforementioned $(m+2)$ th layer of the aforementioned diagonal wiring layers are set at $\sqrt{2}$ times the wiring line width of the respective layers of the aforementioned standard wiring layers.

[0025] Furthermore, another special feature of the present invention is the fact that the wiring film thickness of the aforementioned diagonal wiring layers is set at $\sqrt{2}$ times the wiring film thickness of the aforementioned standard wiring grids.

[0026] Furthermore, another special feature of the present invention is the fact that [a] the aforementioned standard wiring layers and the aforementioned diagonal wiring layers form wiring channel regions, and [b] said wiring channel regions are formed in a direction parallel to the cell rows which consist of rows of logic cells made up of the aforementioned unit elements.

[0027] Moreover, another special feature of the present invention is the fact that [a] via holes for wiring connection are provided at the intersections of the wiring of the aforementioned standard wiring layers and the wiring of the aforementioned diagonal wiring layers, and [b] the cross-sectional shape of these via holes is a hexagon, octagon, or parallelogram.

[0028] Furthermore, another special feature of the present invention is the fact that [a] the aforementioned plurality of unit elements form cells, and [b] said cells have obstacle regions which are defined as a pattern following the wiring direction of the aforementioned diagonal wiring grids and in which wiring cannot be done.

[0029] Moreover, another special feature of the present invention is the fact that a part of the wiring of the aforementioned diagonal wiring layers is configured as power supply wiring for supplying power.

[0030] In addition, another special feature of the present invention is the fact that [a] the aforementioned plurality of unit elements form cells consisting of the aforementioned plurality of unit elements, [b] said cells are supplied clock signals through tree-shaped wiring paths, and [c] said tree-shaped wiring paths are formed by combining unit wiring patterns which are formed by connecting, through the wiring of [one of] the aforementioned standard wiring layers, [i] a first connection made by paths formed by bringing close to each other wiring lines of the aforementioned diagonal wiring layers from points 1 and 2, and [ii] a second connection made by paths formed by bringing close to each other wiring lines of the aforementioned diagonal wiring layers from points 3 and 4.

[0031] Furthermore, another special feature of the present invention is the fact that [a] the aforementioned semiconductor integrated circuit apparatus further comprises upper wiring layers which are positioned above the aforementioned diagonal wiring layers, which form upper wiring grids by the $(p-1)$ th layer ($p \geq 2$) wiring and the p th layer wiring that cross each other perpendicularly, and which cross the aforementioned diagonal wiring grids or the $(p-2)$ th layer

wiring at an angle of 45° or 135°, [b] the line pitch between the wiring lines of the respective layers of said upper wiring layers is set at $\sqrt{2}$ times the line pitch between the wiring lines of the respective layers of the aforementioned diagonal wiring layers or the line pitch of the wiring lines of said (p-2)th layer wiring, and [c] the wiring line width of the respective layers of said upper wiring layers is set at $\sqrt{2}$ times the wiring line width of the wiring of the respective layers of the aforementioned diagonal wiring layers or the wiring line width of said (p-2)th layer wiring.

[0032] Furthermore, another special feature of the present invention is the fact that the aforementioned diagonal wiring layers comprise global wiring which extends across essentially the entire chip.

[0033] Moreover, another special feature of the present invention is the fact that in the aforementioned standard wiring layers, local wiring other than the aforementioned global wiring is used.

[0034] Moreover, another special feature of the present invention is the fact that [a] the aforementioned plurality of unit elements form cells, and [b] said cells have an output terminal pattern which allows direct connection to the wiring of the aforementioned diagonal wiring layers in cases where direct connection to the aforementioned global wiring is required.

[0035] In addition, another special feature of the present invention is the fact that [a] the aforementioned semiconductor integrated circuit apparatus further comprises flip-flop circuits and a PLL (Phase Locked Loop) which is positioned in the corner of the chip, [b] said flip-flop circuits are supplied a clock signal through tree-shaped wiring paths, and [c] said tree-shaped wiring paths are connected using the wiring of the aforementioned diagonal wiring layers from said PLL to the central region of the chip, and are connected from the aforementioned central region of the chip to the aforementioned flip-flop circuits in a hierarchical structure via buffer cells, so that the RC product is balanced.

[0036] Moreover, another special feature of the present invention is the fact that [a] the aforementioned semiconductor integrated circuit apparatus further comprises SRAM circuits which use wiring of the aforementioned standard wiring layers for their internal wiring, and [b] the wiring passing over said SRAM circuits is wired on⁵ the aforementioned diagonal wiring layers.

[0037] Moreover, another special feature of the present invention is the fact that [a] the aforementioned standard wiring layers are composed of three layers, and [b] the first layer wiring and third layer wiring of the aforementioned standard wiring layers are laid out in a direction parallel to the cell rows which consist of rows of logic cells made up of the aforementioned unit elements.

⁵ Wording unclear in the original – Translator.

[0038] Furthermore, another special feature of the present invention is the fact that the aforementioned standard wiring layers are composed of two layers.

[0039] Likewise, another special feature of the present invention is the fact that it provides a semiconductor integrated circuit wiring method for wiring the elements of a semiconductor integrated circuit; said semiconductor integrated circuit wiring method being characterized in that it includes [a] a step of forming standard wiring layers in the X-Y direction comprising m layers ($m \geq 2$) of wiring in which the n th layer ($n \geq 2$) wiring and the $(n-1)$ th layer wiring cross each other perpendicularly, and [b] a step of forming diagonal wiring layers [i] which comprise the $(m+1)$ th layer wiring and the $(m+2)$ th layer wiring that cross each other perpendicularly, [ii] which cross the aforementioned standard wiring grids at an angle of 45° or 135° , [iii] in which the line pitch between the wiring lines of the $(m+1)$ th layer and between the wiring lines of the $(m+2)$ th layer is set at $\sqrt{2}$ times the line pitch between the wiring lines of the respective layers of the aforementioned standard wiring layers, and [iv] in which the wiring line width of the $(m+1)$ th layer wiring and the $(m+2)$ th layer wiring is set at $\sqrt{2}$ times the wiring line width of the respective layers of the aforementioned standard wiring layers.

[0040] Moreover, another special feature of the present invention is the fact that the aforementioned semiconductor integrated circuit wiring method further includes [a] a step of extracting from wiring nets formed by the aforementioned standard wiring layers [any] wiring net(s) which generate(s) a delay exceeding the specified delay time, and [b] a step of inserting a signal-amplifying buffer cell in a position over said extracted wiring net(s) in which this buffer cell can be connected to the wiring of the aforementioned diagonal wiring layers.

[0041] Furthermore, another special feature of the present invention is the fact that the aforementioned semiconductor integrated circuit wiring method further includes [a] a step of defining cells which are made up of the aforementioned plurality of unit elements, and [b] a step of defining in said cells an obstacle region where wiring cannot be done as a pattern which follows the wiring direction of the aforementioned diagonal wiring layers.

[0042] Furthermore, another special feature of the present invention is the fact that in the aforementioned step of defining an obstacle region, the aforementioned $(m+1)$ th layer wiring or the aforementioned $(m+2)$ th layer wiring is laid out near the corners of that region.

[0043] Moreover, another special feature of the present invention is the fact that the aforementioned semiconductor integrated circuit wiring method further includes a step of replacing a specified portion of one of two parallel wiring lines in the same layer (among wiring lines of any of the aforementioned m layers of the aforementioned standard wiring layers) with wiring of [one of] the aforementioned diagonal wiring layers, in cases where one of the aforementioned two wiring lines induces noise in the other wiring line.

[0044] Moreover, another special feature of the present invention is the fact that the aforementioned semiconductor integrated circuit wiring method further includes a step of

inserting buffer cells in the wiring path of the aforementioned diagonal wiring layer that is used as the aforementioned replacement.

[0045] Likewise, another special feature of the present invention is the fact that it provides a cell layout method for laying out cells in a semiconductor integrated circuit; said cell layout method being characterized in that it includes [a] a step of forming standard wiring layers in the X-Y direction comprising m layers ($m \geq 2$) of wiring in which the n th layer ($n \geq 2$) wiring and the $(n-1)$ th layer wiring cross each other perpendicularly, [b] a step of forming diagonal wiring layers [i] which comprise the $(m+1)$ th layer wiring and the $(m+2)$ th layer wiring that cross each other perpendicularly, [ii] which cross the aforementioned standard wiring layers at an angle of 45° or 135° , and [iii] in which the line pitch between the wiring lines of the $(m+1)$ th layer and between the wiring lines of the $(m+2)$ th layer is set at $\sqrt{2}$ times the line pitch between the wiring lines of the respective layers of the aforementioned standard wiring layers, and [c] a step of laying out cells comprising a plurality of unit elements according to a specified cutting method which uses X-Y direction cut lines corresponding to the wiring direction of the aforementioned standard wiring layers and diagonal-direction cut lines corresponding to the wiring direction of the aforementioned diagonal wiring layers.

[0046] Moreover, another special feature of the present invention is the fact that the aforementioned semiconductor integrated circuit wiring method further includes [a] a step of establishing first paths formed by bringing close to each other wiring lines of the aforementioned diagonal wiring layers from points 1 and 2, [b] a step of establishing second paths formed by bringing close to each other wiring lines of the aforementioned diagonal wiring girds from points 3 and 4, [c] a step of forming unit wiring patterns which are configured by connecting the aforementioned first paths and the aforementioned second paths by means of the wiring of [one of] the aforementioned standard wiring layers, and [d] a step of forming tree-shaped wiring paths, which supply clock signals to cells made up of the aforementioned plurality of unit elements, by combining the aforementioned unit wiring patterns.

[0047] In addition, another special feature of the present invention is the fact that it provides a semiconductor integrated circuit wiring method for wiring the elements of semiconductor integrated circuits; said semiconductor integrated circuit wiring method being characterized in that it includes [a] a step of forming standard wiring layers in the X-Y direction comprising m layers ($m \geq 2$) of wiring in which the n th layer ($n \geq 2$) wiring and the $(n-1)$ th layer wiring cross each other perpendicularly, [b] a step of forming diagonal wiring layers [i] which comprise the $(m+1)$ th layer wiring and the $(m+2)$ th layer wiring that cross each other perpendicularly, [ii] which cross the aforementioned standard wiring layers at an angle of 45° or 135° , and [iii] in which the line pitch between the wiring lines of the $(m+1)$ th layer and between the wiring lines of the $(m+2)$ th layer is set at $\sqrt{2}$ times the line pitch between the wiring lines of the respective layers of the aforementioned standard wiring layers, [c] a step of making connections from a PLL (Phase Locked Loop) located in the corner of the chip to the central region of the chip using

the wiring of the aforementioned diagonal wiring layers, and [d] a step of making hierarchical connections from the aforementioned central region of the chip to the aforementioned [sic] flip-flop circuits in the aforementioned chip via buffer cells, so that the RC product is balanced.

[0048] Furthermore, another special feature of the present invention is the fact that it provides a semiconductor integrated circuit wiring method for wiring elements of semiconductor integrated circuits; said semiconductor integrated circuit wiring method being characterized in that it includes [a] a step of forming standard wiring layers in the X-Y direction comprising m layers ($m \geq 2$) of wiring in which the n th layer ($n \geq 2$) wiring and the $(n-1)$ th layer wiring cross each other perpendicularly, [b] a step of forming diagonal wiring layers which comprise the $(m+1)$ th layer wiring and the $(m+2)$ th layer wiring that cross each other perpendicularly, which cross the aforementioned standard wiring layers at an angle of 45° or 135° , and in which the line pitch between the wiring lines of the $(m+1)$ th layer and between the wiring lines of the $(m+2)$ th layer is set at $\sqrt{2}$ times the line pitch between the wiring lines of the respective layers of the aforementioned standard wiring layers, [c] a step of forming SRAM circuits which use wiring of the aforementioned standard wiring layers for their internal wiring, and [d] a step of forming on the aforementioned diagonal wiring layers the wiring that passes over the aforementioned SRAM circuits.

[0049]

[Working Configurations of the Invention] Below, working configurations of the semiconductor integrated circuit and semiconductor integrated circuit wiring methods of the present invention are described in detail with reference to the attached figures.

[0050] First Working Configuration

In the first working configuration, above standard wiring grids [consisting] of a first layer and a second layer that cross each other perpendicularly, diagonal wiring grids are provided which cross these standard wiring grids at an angle of 45° or 135° and which are formed by a third layer wiring and a fourth layer wiring that cross each other perpendicularly. The line pitch between the wiring lines of the third layer and between the wiring lines of the fourth layer as well as the line width of these diagonal wiring grids are set at $\sqrt{2}$ times the line pitch of the wiring lines of the standard wiring grids. As a result, in this working configuration, the line length is shortened, RC delays are reduced, and noise resistance is improved.

[0051] Figure 1 is a layout diagram which shows the wiring grid structure of a semiconductor integrated circuit apparatus according to the first working configuration of the present invention. Figure 2 is a plan view which shows one example of a wiring structure for the case of implementing wiring based on a wiring grid structure such as that shown in Figure 1. In addition, Figure 3 is a cross-sectional view along line A-A in Figure 2.⁶

⁶ Translator's note: The original erroneously reads "Figure 4."

[0052] As in the conventional technology of Figure 28, the wiring structure of the first working configuration comprises wiring grids in which the wiring of the first layer and the second layer crosses each other perpendicularly, and in which the wiring of the third layer and the fourth layer crosses each other perpendicularly, as shown in Figure 1. Specifically, the grids are positioned so that the third layer and the fourth layer cross the first layer at 45° and 135° respectively.

[0053] 1 in Figure 1 is the wiring grid of the first layer, and, formed as the layer above it and crossing it perpendicularly, is a wiring grid 2 of the second layer. Moreover, a wiring grid 3 of the third layer which is at a 45° diagonal direction in relation to the wiring grid 1 of the first layer and a wiring grid 4 of the fourth layer which is at a 135° diagonal direction in relation to the wiring grid 1 of the first layer are positioned in sequence.

[0054] Here, the first working configuration is such that the line pitch between the wiring lines of the third layer wiring 3 and between the wiring lines of the fourth layer wiring 4, both of which are laid out in the diagonal direction, is set wider than [the line pitch] between the wiring lines of the first layer wiring 1 and between the wiring lines of the second layer wiring 2. In concrete terms, the line pitch between the wiring lines of the third layer wiring 3 and between the wiring lines of the fourth layer wiring 4 is set at $\sqrt{2}$ times the line pitch (λ) between the wiring lines of the first layer wiring 1 and between the wiring lines of the second layer wiring 2 (i.e., $\sqrt{2} \cdot \lambda$).

[0055] Consequently, between the strata of the upper-layer diagonal wiring grids⁷ (the third layer 3⁸ and fourth layer 4) and the lower-layer X-Y wiring grids⁹ (the first layer 1 and second layer 2), shifting of grid points can be avoided. As a result, it is possible to facilitate the wiring design. Specifically, via holes between the second layer and the third layer can be positioned at the grid intersections of the first layer and the second layer, so that it is possible to use adjacent grids in the wiring of the first layer or the second layer.

[0056] In addition, in the first working configuration, with the line pitch ($\sqrt{2} \cdot \lambda$), the wiring line width of the third layer wiring 3 and the fourth layer wiring 4 which are laid out in a diagonal direction is set wider than [the wiring line width] of the first layer wiring 1 and the second layer wiring 2. In concrete terms, as shown in Figure 2, the wiring line width of the third layer wiring 3 and the fourth layer wiring 4 is set at $\sqrt{2}$ times the wiring line width (d) of the first layer wiring 1 and the second layer wiring 2 (i.e., $\sqrt{2} \cdot d$). As described above, because the line pitch of the third layer and the fourth layer is $\sqrt{2}$ times as wide, line spacing indicated by p in Figure 2 does not violate any design rule. Consequently, it is possible to increase wiring line width without contradicting any design rules.

⁷ Translator's note: The original erroneously reads "the upper-layer X-Y wiring grids."

⁸ Translator's note: The original erroneously reads "the third layer 4."

⁹ Translator's note: The original erroneously reads "the lower-layer diagonal wiring grids."

[0057] In the example shown in Figure 3, the first layer wiring 1 is first laid out in the vertical direction, then the second layer wiring 2 is laid out in a direction perpendicular to it. [Then,] in a diagonal direction relative to these [layers], the third layer wiring 3 and the fourth layer wiring 4 are laid out. 12 in the figure is a via hole positioned between the first layer wiring 1 and the second layer wiring 2. 13 is a via hole positioned between the second layer wiring 2 and the third layer wiring 3. Furthermore, 14 is a via hole positioned between the third layer wiring 3 and the fourth layer wiring 4.

[0058] In the first working configuration, assuming the characteristics of the aforementioned wiring line pitch and wiring line width, the wiring film thickness of the third layer wiring 3 and the fourth layer wiring 4 which are laid out in the diagonal direction is set greater than that of the first layer wiring 1 and the second layer wiring 2. In concrete terms, as shown in Figure 3, the wiring film thickness of the third layer wiring 3 and the fourth layer wiring 4 is set at $\sqrt{2}$ times the wiring film thickness¹⁰ (t) of the first layer wiring 1 and the second layer wiring 2 (i.e., $\sqrt{2} \cdot t$). Furthermore, 10 in Figure 3 is the semiconductor substrate on which transistors are formed, and 11 is an interlayer insulating film. By using the aforementioned structure in which the wiring line width and wiring film thickness of the third layer and the fourth layer are set at $\sqrt{2}$ times those of the first layer and the second layer, the cross-sectional area of the wiring lines of the third layer wiring and the fourth layer wiring becomes twice the cross-sectional area of [the wiring lines of] the first layer wiring and the second layer wiring, as shown by the following formula:

$$[0059] \sqrt{2} \times \sqrt{2} = 2$$

Because of this, the wiring resistance for each unit of length becomes 1/2 that of the wiring lines of the first layer and the second layer. Meanwhile, the area facing the adjacent wiring lines also becomes $\sqrt{2}$ times greater. However, because the spacing between adjacent wiring lines becomes $\sqrt{2}$ times greater as well, the capacitance between adjacent wiring lines in the third layer wiring and the fourth layer wiring is the same as the capacitance between adjacent wiring lines in the first layer wiring and the second¹¹ layer wiring. Because the wiring resistance is 1/2 and the capacitance between adjacent wiring lines is the same, the RC delay of wiring line per unit of length becomes 1/2 that of the wiring lines in the first layer and the second layer. The wiring RC delay refers to the delay caused by the resistance component and the capacitance component of the wiring.

[0060] As described above, according to the first working configuration, the line pitch between the wiring lines of the third layer wiring and between those of the fourth layer wiring is set at $\sqrt{2}$ times the line pitch between the wiring lines of the first layer wiring and between those of the second layer wiring. As a result, it is possible to avoid the shifting of the grid points between the

¹⁰ Translator's note: the original erroneously reads "the wiring line width."

¹¹ Translator's note: the original erroneously reads "first."

strata of the upper-layer diagonal wiring grids and the lower-layer standard wiring grids, and to facilitate the wiring design.

[0061] Furthermore, because the wiring line width is also set at $\sqrt{2}$ times greater, the RC delay of the wiring can be reduced. Moreover, because the wiring film thickness is also set at $\sqrt{2}$ times greater, the RC delay of the wiring can be even further reduced. As a result, a great effect can be obtained from the standpoint of increasing the operating speed of circuits with relatively long wiring.

[0062] Second Working Configuration

In the second working configuration, in a multi-layer wiring structure using the diagonal wiring grids of the first working configuration, repeater cells (buffer cells) are additionally inserted in the wiring, resulting in a working configuration which prevents the occurrence of timing errors due to wiring delays.

[0063] Figures 4 (a), (b), (c) and (d) are diagrams showing the process of inserting repeater cells in the second working configuration. Figures 5 (a) and (b) are diagrams for explaining the wiring delay. Using Figure 4 and Figure 5 for reference, the process of inserting repeater cells in the second working configuration is described in concrete terms.

[0064] First, by using only the first layer and the second layer, all of the nets are wired only with the X-Y direction wiring. Next, using a simulator, the delay is analyzed, and any nets that are causing timing errors are extracted. In regard to these extracted nets, the following processing is performed:

[0065] Specifically, for the nets which have caused timing errors, repeater cells are inserted. As to the positions where these repeater cells are inserted, the repeater cells are inserted in positions where connections can be made to wiring in the diagonal direction by using the third layer and the fourth layer. The wiring length can be shortened with the use of the third layer and the fourth layer.

[0066] For example, suppose that a timing error has occurred at a net as shown in Figure 4 (d). For this net, as shown in Figures 4 (a), (b) and (c), three kinds of insertion positions and wiring directions for a repeater cell 20 to be inserted between a cell 21 and a cell 22 are conceivable. In the example of Figure 4 (a), X-direction wiring 23 is first used and then, after inserting the repeater cell 20, diagonal wiring 25 is used. In the example of Figure 4 (b), the repeater cell 20 is first inserted, and after using diagonal-direction wiring 34, X-direction wiring 35 is used. In the example of Figure 4 (c), the repeater cell 20 is first inserted, and after X-direction wiring 45 is used, diagonal-direction wiring 46 is used.

[0067] The difference between the insertion positions of the repeater cell in Figures 4 (a), (b) and (c) results in a difference in the allocation of the delay to [the section] between the cell 21 which outputs the signal and the repeater cell 20 vs. [the section] between the repeater cell 20

and the cell 22 which performs signal inputting. Comparing the examples of Figure 4 (a) and Figure 4 (b), the delay between the cell 21 and the repeater cell 20 is less with the example of Figure 4 (b) than with the example of Figure 4 (a). In contrast, the delay between the repeater cell 20 and the cell 22 is less with the example of Figure 4 (a) than with the example of Figure 4 (b). As to which example reduces the actual delay, it depends on the transistor size in the cell 21 and the repeater cell 20. Consequently, in general, it is necessary to analyze the delays for all of the conceivable combinations and to make a final decision as to how to use the insertion position and wiring direction of the repeater [cell]. The example of Figure 4 (c), however, clearly has a greater delay than the other examples.

[0068] Concerning wiring line width, according to the Elmore¹² formula for calculating wiring delay, the approach of making the wiring line width gradually narrower, [as the line moves away] from the signal-outputting cell, shortens the wiring delay. Specifically, the approach of first using a broader line width 63 and then transitioning and using a narrower line width 64, as shown in Figure 5 (a), results in a shorter wiring delay than the approach shown in Figure 5 (b) of first using a narrower line [width] 73 and then transitioning and using a broader line width 74.

[0069] Because diagonal-direction wiring is $\sqrt{2}$ times wider than wiring running along the X and Y axes, the approach of first using diagonal-direction wiring, then transitioning and using wiring in the X or Y direction results in shorter wiring delays than with the approach of first using X- or Y-direction wiring and then transitioning and using diagonal-direction wiring. In other words, it can be understood that the example of Figure 4 (b) results in a shorter wiring delay than the example of Figure 4 (c).

[0070] Consequently, when using diagonal wiring, the rules for inserting repeater cells can be set as follows:

- [0071] (1) Connect the diagonal wiring to the wiring near the signal output terminals.
(2) With signal output terminals, connect the diagonal wiring.
(3) Use diagonal wiring for the wiring near the signal output terminals of the repeater cell.
(4) Connect diagonal-direction wiring to the signal output terminals of the repeater cell.
(5) Position repeater cells in positions where diagonal wiring can be connected to signal output terminals.

[0072] If the above rules are followed, the structure of the repeater cells can be specified as follows:

- [0073] (1) Form signal input terminals so that they can be easily connected to the wiring in the X-Y direction. Specifically, form the signal input terminals in the first layer.
(2) In addition, form signal output terminals so that they can be easily connected to the wiring in the diagonal direction. Specifically, form the signal output terminals in the third layer.

¹² Spelling uncertain – Translator.

[0074] As described above, according to the second working configuration, in order to prevent the generation of timing errors due to wiring delays, when repeater cells are inserted in the wiring nets to relay and amplify a signal, diagonal wiring grids are used, and repeater cells are inserted in positions where they can be connected to these diagonal wiring grids. Therefore, the repeater cells can be inserted under the optimum conditions, and shortening of wiring length and further reduction of wiring delay is possible.

[0075] Third Working Configuration

The third working configuration is a working configuration which, in a multi-layer wiring structure using the diagonal wiring grids of the aforementioned working configurations, resolves the lack of wiring resources in the direction of the cell row by providing a wiring channel in a direction parallel to the cell row.

[0076] Figure 6 is a layout diagram showing a semiconductor integrated circuit structure according to the third working configuration of the present invention.

[0077] The semiconductor integrated circuit of Figure 6 has a plurality of cell rows 80 formed by placing logic cells in a row pattern. Above this plurality of cell rows 80, multi-layer wiring is formed having diagonal wiring grids shown in Figure 1.

[0078] In concrete terms, 1 in Figure 6 is the metal wiring of the first layer, 2 is the metal wiring of the second layer, 3 is the metal wiring of the third layer, and 4 is the metal wiring of the fourth layer. In the configuration of Figure 6, a wiring channel 85 which is formed by each of the metal wiring 1, 2, 3 and 4 is formed in a direction parallel to each cell row 80. Specifically, the wiring channel 85 is provided in a direction parallel to cell rows 80. As a result, with a small number of wiring layers, [adequate] wiring resources can be ensured in the cell row direction, which requires relatively more wiring resources.

[0079] As explained above, through use of the third working configuration, the lack of wiring resources in the cell row direction, which requires relatively more wiring resources, can be resolved, and [adequate] wiring resources can be ensured, using a small number of wiring layers.

[0080] Fourth Working Configuration

The fourth working configuration is a working configuration in which, in a multi-layer wiring structure using the diagonal wiring grids of the aforementioned working configurations, the shape of the cut area of the via holes which connect diagonally crossing wiring lines is improved so that the area is not inadequate.

[0081] Figures 7 (a), (b), (c) and (d) are each partial plan views showing the shape of semiconductor integrated circuit via holes according to the fourth working configuration.

[0082] In the case of semiconductor integrated circuits according to the fourth working configuration, via holes whose longitudinal areas are octagonal, parallelogram-shaped or hexagonal are used as shown in Figures 7 (a), (b), (c) or (d) when connecting X-Y direction wiring (i.e., the first layer or the second layer) with diagonal-direction wiring (i.e., the third layer or the fourth layer) which forms an angle of 45° or 135° with respect to the X-Y direction wiring in the multi-layer wiring structures having the diagonal wiring grids shown in Figure 1. By using via holes with such cross-sectional shapes, it is possible to make via hole cuts which have sufficient cross-sectional areas as required between crossing wiring layers.

[0083] In the example of Figure 7 (a), an octagonal via hole 90A is formed at the intersection of X-Y direction wiring 91 and diagonal-direction wiring 92. In the example of 7 (b), a parallelogram-shaped via hole 90B is formed at the intersection of X-Y direction wiring 91 and diagonal-direction wiring 92.

[0084] In the example shown in Figure 7 (b), furthermore, a case can be imagined where [two] such via holes are [placed] unusually closed to each other. To prevent this, the hexagonal shapes shown in Figure 7 (c) and Figure 7 (d) are provided. In the example of Figure 7 (c), a hexagonal via hole 90C is formed at the intersection of X-Y direction wiring 91 and diagonal-direction wiring 92. Furthermore, in the example of Figure 7 (d), a hexagonal via hole 90D is formed at the intersection of X-Y direction wiring 91 and diagonal-direction wiring 92.

[0085] As mentioned above, according to the fourth working configuration, the cross-sectional shapes of via holes which connect diagonally crossing wiring are octagonal, parallelogram-shaped or hexagonal. As a result, sufficient cut areas are ensured for via holes which connect diagonally crossing wiring.

Fifth Working Configuration

The fifth working configuration is a working configuration which optimally defines wiring regions having obstacles in a multi-layer wiring structure using the diagonal wiring grids of the aforementioned working configurations.

[0086] Figures 8 (a) and (b) are diagrams showing cells or mega-cells in semiconductor integrated circuits according to the fifth working configuration of the present invention.

[0087] 101 shown in Figure 8 (a) is [a structure of] cells formed of a plurality of unit elements or a mega-cell which combines a plurality of such cells. These cells or this mega-cell 101 is divided into effective regions 102 and a transistor region 103 formed by 45° lines 101a in the four corners as borders. In the transistor region 103, transistors and cells of lower hierarchy 103a are laid out. On the other hand, no transistors or lower-hierarchy cells are laid out in the effective regions 102 because they are provided to use the four corners of the cell effectively, for example, for the purpose of relieving wiring congestion (described below) occurring in the

vicinity of the four corners of the cell. In the descriptions of cells below, the term "cell" includes the aforementioned "mega-cell."

[0088] Furthermore, as shown in Figure 8 (b), for the wiring to be laid out in the transistor region 103 of the aforementioned cell 101, it is preferable to use the aforementioned 45° or 135° diagonal wiring 113, especially in the vicinity of the four corner lines 101a.

[0089] In this way, when designing cells or mega-cells, by creating the aforementioned effective regions and making a configuration which does not use the four corners, wiring obstacles can be defined to be in a form that follows the 45° or 135° diagonal wiring. This point is described next.

[0090] Figures 9 (a) and (b) are diagrams showing examples of obstacles to wiring according to the fifth working configuration. In the example of Figure 9 (a), the regions of obstacles in the cell 101 are defined as a collection of small rectangles 122. Here, a "region of obstacles" is a region for the purpose of defining obstacles to wiring in wiring design.

[0091] In the example shown in Figure 9 (b), the obstacle region in the cell 101 is defined by a polygon or a collection of them. Specifically, in the example shown in Figure 9 (b), in the case where there are two obstacle regions, they are defined by trapezoids 132 and 133 respectively.

[0092] With the example shown in Figure 9 (a), there is the difficulty in that the amount of data for CAD design becomes large. With the example shown in Figure 9 (b), in contrast, the obstacle region can be defined by a [relatively] small amount of data.

[0093] Figures 10 (a) and (b) are diagrams showing the effect of the fifth working configuration.

[0094] In the ordinary X-Y wiring grid model, as shown in Figure 10 (a), the obstacle region 142 within the cells or mega-cell 141 is defined as a collection of rectangles which cross perpendicularly. If wiring is performed perpendicularly using these cells or mega-cell 141, the degree of congestion of wiring 143 in the areas near the four corners 144 increases, and this causes the problem that the degree of integration of the chip decreases.

[0095] On the other hand, if wiring is done using cells and mega-cell 101 built according to the method of the aforementioned fifth working configuration, as shown in Figure 10 (b), the obstacle region 152 is defined in a configuration that does not use the four corners of the cells or mega-cell. This obstacle region 152 can be defined as a shape which follows the diagonal wiring. Therefore, the degree of congestion of wiring 153 in the areas 154 near the aforementioned four corners can be relieved, and the degree of integration of the chip is improved.

[0096] As described above, according to the fifth working configuration, in the design of cells or mega-cells, the obstacle region is defined by shapes along the diagonal wiring having a configuration in which the four corners of the cells or mega-cell are not used. Consequently, the

four corners of the cell(s) can be used effectively. Furthermore, the degree of wiring congestion in the aforementioned areas near the four corners can be relieved, thus improving the degree of integration of the chip.

[0097] Sixth Working Configuration

The sixth working configuration is a working configuration which, in a multi-layer wiring structure using the diagonal wiring grids of the aforementioned working configurations, controls the crosstalk noise which occurs in a case where there is wiring that is laid out parallel in the same layer.

[0098] Figures 11 (a), (b), and (c) are diagrams showing the principal elements of a semiconductor integrated circuit structure according to the sixth working configuration of the present invention. Moreover, for the elements which are in common with those of Figure 6, the same symbols have been assigned, and the explanation of them has been omitted.

[0099] As shown in Figure 11 (a), a case is considered in which wiring lines 161 and 162 are laid out in parallel in the same layer. In the sixth working configuration, a change in the wiring layer is made such that a midsection of one of the wiring lines (for example, the wiring 162) is replaced by diagonal-direction wiring 173 and/or 174 which forms a 45° or 135° angle with said wiring 162, as shown in Figure 11 (b). By replacing this wiring, the distance that two wiring lines of the same layer run parallel is shortened, so that the generation of crosstalk noise can be controlled.

[0100] Furthermore, suppose that, of the parallel wiring 161 and 162, the wiring 161, for example, generates the noise and that the wiring 162 receives the noise. When changing the wiring 162 with the aforementioned diagonal-direction wiring 173 and/or 174, one or more buffer cells 183 are inserted on the diagonal-direction wiring 173 and/or 174.

[0101] By inserting buffer cell(s) in the diagonal-direction wiring path in this way, it is possible to completely prevent noise propagation. For example, if the length of the parallel run is limited so that the voltage level of crosstalk noise generated between two wiring lines that are laid out parallel in the same layer does not exceed the theoretical threshold of the aforementioned buffer cell(s) 183 inserted for noise cancellation, then complete suppression of noise is possible.

[0102] As described above, with the sixth working configuration, a change in wiring layer is made so that the midsection of one of the wiring lines laid out in parallel in the same layer is replaced by diagonal-direction wiring. Furthermore, buffer cell(s) are inserted in the diagonal-direction wiring path used as the replacement. Consequently, the distance that two wiring lines run parallel within the same layer is shortened, allowing the control of the generation of crosstalk noise.

[0103] Seventh Working Configuration

The seventh working configuration, in a multi-layer wiring structure which uses the diagonal wiring grids of the aforementioned working configurations, is a working configuration in which the wiring resources of the diagonal wiring grids are used for supplying power.

[0104] Figure 12 is a diagram showing the configuration of the principal elements of a semiconductor integrated circuit according to the seventh working configuration of the present invention. For the elements which are in common with those of Figure 6, the same symbols have been assigned, and the explanation of them is omitted.

[0105] As shown in Figure 12, a part of the third layer wiring 3 and the fourth layer wiring 4, which are positioned in layers above the first layer wiring 1 and the second layer wiring 2, are used as power-supply wiring 191 for supplying power. In this way, a part of the wiring resources of the diagonal-direction general signal lines is used for supplying power, and it is possible to compensate for any power that is lacking in cell rows 80.

[0106] As described above, according to the seventh working configuration, a part of the wiring resources of the diagonal-direction general signal lines¹³ is used as wiring for supplying power. As a result, it is possible to compensate for any power that is lacking in cell rows.

[0107] Eighth Working Configuration

The eighth working configuration is a working configuration in which the layout of cells are optimized in a multi-layer wiring structure using the diagonal wiring grids of the aforementioned working configurations.

[0108] Figures 13 (a) and (b) are diagrams showing the method of positioning cells in a semiconductor integrated circuit according to the eighth working configuration of the present invention.

[0109] Normally, in LSI design by means of CAD, the method of cell layout is created considering how to make wiring lengths short and [provide] ease of wiring. In such cases, for the task of determining which cell to place where, the following method which uses a "top-down" approach is adopted.

[0110] With this conventional method, as shown in Figure 13 (b), first, the collection of cells which is to be positioned is divided into two parts by a cut line 260 in the X-Y direction. Next, cells 201 and 210 are positioned so that the number of wiring lines which cross this cut line 260 is small. Afterward, dividing by two is similarly performed again using cut lines, and the "divide by two" process is repeated until all regions are reduced to the smallest unit. The conventional method described here is called the "mini-cut" method.

¹³ a typographical error in the Japanese original text ignored – Translator.

[0111] Here, the conventional cut lines 260 are vertical and horizontal straight lines corresponding to the wiring grids in the X-Y direction as shown in figure 13 (b). However, once the aforementioned diagonal-direction wiring lines have been provided, objects having a 45° angle appear (for example) as obstacles to wiring as described in the fifth working configuration. Therefore, it is not possible to achieve optimum cell positioning only using vertical and horizontal cut lines 260.

[0112] In light of this, in the eighth working configuration, in addition to the conventional vertical and horizontal cut lines crossing perpendicularly, diagonal-direction cut lines 250 are used as shown in Figure 13 (a). Cells 201 and 210 are positioned so that the number of wiring lines which cross these diagonal-direction cut lines 250 are minimized. In this way, it is possible to determine cell positioning which enables optimal wiring in the vertical, horizontal and diagonal directions. As a result, an increase in the degree of integration of LSIs is possible.

[0113] As described above, according to the eighth working configuration, when designing the cell layout in LSI design, cells are positioned by the mini-cut method using cut lines in the diagonal direction. As a result, in multi-layer wiring structures using diagonal wiring grids, it is possible to optimize cell positioning so that optimal wiring is achieved. Consequently, the degree of integration of LSIs can be increased.

[0114] Ninth Working Configuration

The ninth working configuration is a working configuration which, in a multi-layer wiring structure using the diagonal wiring grids of the aforementioned working configurations, optimizes the clock tree structure through wiring design for clock supply in the case where diagonal-direction wiring is used, so that the variation in wiring RC delays is minimized.

[0115] Figures 14 (a), (b), (c) and (d) are diagrams for explaining the basic structure of clock trees in a semiconductor integrated circuit apparatus according to the ninth working configuration of the present invention.

[0116] In general, a tree-shaped wiring pattern is used in order to provide a clock signal delay in each path. In such a case, if a multi-layer wiring structure with wiring grids only in the X-Y direction is used, [the structure] is such that the wiring features repetition of the H-type wiring pattern shown in Figure 14 (b), as shown roughly in Figure 14 (d).

[0117] The ninth working configuration adopts a structure in which a pattern utilizing diagonal-direction wiring shown in Figure 14 (a) is repeated, in building this kind of tree wiring paths, as shown in Figure 14 (c). Specifically, as shown in Figure 14 (a), the paths are connected using diagonal wiring grids starting from the four points P1, P2, P3 and P4 and are gradually made to approach one another. The two points P5 and P6 where the pairs of points P1 and P2 as well as P3 and P4 join are in turn connected by wiring in a wiring layer of either the vertical or horizontal direction, so that the pattern in Figure 14 (a) is obtained. Here, the branching points

of the paths P5 and P6 are positioned so that the delays in downstream signal distribution are equal.

[0118] When the wiring pattern of the ninth working configuration shown in Figure 14 (a) is compared with the conventional H-type wiring pattern shown in Figure 14 (b), the difference in wiring length is only a few percent, but in terms of the wiring RC delay, there is an advantageous difference. Suppose that the wiring resistance r per unit length in each wiring layer and the wiring capacitance c are the same, and moreover, that there is no capacitance load at the terminals. In such a case, the wiring delay D_H of the conventional H-type wiring pattern shown in Figure 14 (b) is obtained by the following equation:

[0119]

$$D_H = rl(2cl) + 1/2 rl \cdot cl = 2.5 rcl^2 \quad (1)$$

(where l is the length of the wiring in Figure 14)

On the other hand, the wiring delay D_d of the wiring pattern of the ninth working configuration shown in Figure 14 (a) is obtained from the following equation:

[0120]

$$D_d = 1/2 r (\sqrt{2} l) \cdot c (\sqrt{2} l) = rcl^2 \quad (2)$$

Furthermore, since the distance between P5 and P6 in Figure 14 (a) is very small, it can be ignored in the calculation of (2).

[0121] Consequently, with the pattern of the ninth working configuration of Figure 14 (a), it is possible to reduce the RC delay by the amount [indicated by the equation] below, compared to the conventional H-type of Figure 14 (b).

[0122]

$$D_H - D_d = (2.5 - 1) rcl^2 = 1.5rcl^2 \quad (3)$$

This reduction in RC delay is an effect which is obtained from the fact that the wiring branching occurs more upstream in the signal distribution. Furthermore, this effect of reducing delay becomes even greater if load capacitance is attached downstream. In addition, the wiring resistance of the diagonal-direction wiring used is generally smaller than the wiring resistance of X-Y direction wiring. As a result, this also becomes a causative factor in increasing the delay-reducing effect.

[0123] Furthermore, in cases where clock terminals are distributed non-uniformly, it is not possible to find a delay balance point on the lines in Figure 14 (a) in some cases. In such cases, the wiring pattern is modified, as shown in Figure 15. By means of this wiring pattern in Figure

15, it is possible to establish the balance point accurately. This wiring pattern of Figure 15 can be partially used in the overall clock tree of Figure 14 (c).

[0124] Moreover, as shown in Figure 16 (b), in the area near the output terminals of buffers 310 inserted in a mid-point in the tree, in some cases “round about” paths 311 may be provided to make the delays equal to those of other buffers. In such cases, by using diagonal-direction wiring shown in Figure 16 (a), it is possible to reduce the number of via holes. Consequently, in the structure of Figure 16 (a), the beneficial effects can be obtained in terms of reduction of via hole resistance and [better] resistance to electro-migration.

[0125] Figures 17 (a), (b) and (c) show examples of wiring design using the “labyrinth” method as a specific wiring method for the case where the diagonal wiring grids in the 45° and 135° directions are created by automatic wiring.

[0126] 320 and 321 in Figures 17 (a), (b) and (c) are the starting point and the ending point for pairs of terminals which should be mutually connected. 330 is a “no-wiring” region in the chip core region. The layout of the wiring, from the starting point 320 to the end point 321, follows the path indicated by the thick line in Figures 17 (a), (b) and (c). The example shown in Figure 17 (a) illustrates wiring in which both X-Y direction wiring and diagonal-direction wiring are used. Figure 17 (b) shows an example in which wiring is performed by diagonal-direction wiring only. Furthermore, the example shown in Figure 17 (c) illustrates wiring in which X-Y direction wiring and 135° direction wiring are used.

[0127] As described above, with the ninth working configuration, in constructing tree paths, a configuration is used which combines unit wiring patterns which make use of diagonal-direction wiring. As a result, it is possible to reduce the wiring RC delay and construct an optimal clock tree.

[0128] Tenth Working Configuration

The tenth working configuration is a working configuration in which, in a multi-layer wiring structure using the diagonal wiring grids of the aforementioned working configurations, the X-Y direction wiring grids of Figure 3 are formed by means of three wiring layers which cross each other perpendicularly, making it possible to increase wiring resources in the cell row direction.

[0129] Figure 18 is a layout diagram showing the wiring grid structure of a semiconductor integrated circuit according to the tenth working configuration of the present invention. Figure 19 is a cross-sectional diagram, as viewed from the direction of the X axis in Figure 18, of a wiring structure which is wired on the basis of the wiring grid structure shown in Figure 18.

[0130] In Figure 18, the X-Y direction wiring grids are formed by means of three layers of wiring. Specifically, as shown in Figure 18, the wiring lines of a first layer 601, second layer 602 and third layer 603 cross each other perpendicularly as do those of a fourth layer 604 and fifth layer 605, and thus form wiring grids. Here, the tenth working configuration provides the

third layer wiring 603 that runs in parallel to the first layer wiring 601. Specifically, the grids are laid out so that the fourth layer wiring and the fifth layer wiring cross the first layer [wiring] as well as the third layer wiring at 45° and 135° respectively.

[0131] 601 in Figure 18 is the first layer wiring grid. In the layer above it, and crossing perpendicularly, the second layer wiring grid 602 is formed. In the layer above this second [layer] wiring grid 602, and crossing perpendicularly, the third [layer] wiring grid 603 is formed. Furthermore, crossing the first layer wiring grid 601 and third layer wiring grid 603 at an angle of 45°, the diagonal-direction fourth layer wiring grid 604 is formed. Next, crossing the first layer wiring grid 601 and third layer wiring grid 603 at an angle of 135°, the diagonal-direction fifth layer wiring grid 605 is formed.

[0132] In the tenth working configuration, as in the first working configuration, the line pitch between the wiring lines of the fourth layer wiring 604 and between the wiring lines of the fifth layer wiring 605, which are laid out in the diagonal direction, are respectively set at $\sqrt{2}$ times the line pitch (λ) between the wiring lines of the first layer wiring 601 and between the wiring lines of the second layer wiring 602, as well as between the wiring lines of the second layer wiring 602 and the third layer wiring 603 (i.e., $\sqrt{2} \cdot \lambda$). Furthermore, as shown in Figure 19, the wiring line width between [sic] the fourth layer wiring 604 and between [sic] the fifth layer wiring 605, which are laid out in the diagonal direction, are respectively set at $\sqrt{2}$ times the line pitch [sic] (t) between [sic] the wiring lines of the first layer wiring 601 and between [sic] the wiring lines of the second layer wiring 602, as well as between the wiring lines of the second layer wiring 602 and the third layer wiring 603 (i.e., $\sqrt{2} \cdot t$). Moreover, for the first layer wiring 601, second layer wiring 602, and third layer wiring 603, it is desirable that the wiring line width, height and line pitch be defined at the minimum specified according to the design rules for wiring design.

[0133] Returning to Figure 18, the first layer wiring 601 and third layer wiring 603 are formed in a direction parallel to the cell row direction. As a result, compared to the first working configuration, it is possible to increase wiring resources in the cell row direction even more. Moreover, the tenth working configuration differs from the third working configuration in that it does not provide wiring channels.

[0134] In multi-layer structures based on wiring grids in the conventional X-Y direction which cross perpendicularly, in the case where a plurality of layers of wiring are formed in parallel, crosstalk noise is generated due to the parallel layout of the wiring. In the tenth working configuration, because it is a combination of diagonal wiring grids and parallel layout of wiring, it is possible to ensure wiring resources in the cell row direction while suppressing the generation of crosstalk noise.

[0135] As described above, according to the tenth working configuration, the first layer wiring and third layer wiring are formed in a direction parallel to the cell rows, and in a layer above

them the aforementioned diagonal wiring grid is formed. As a result, wiring resources in the cell row direction can be ensured.

[0136] Moreover, as a modified example of the tenth working configuration, one or more layers of wiring grids may be formed on top of the diagonal wiring grids formed by the fourth layer wiring 604 and fifth layer wiring 605. These upper-layer wiring grids are formed by a pair of wiring grids consisting of the sixth layer wiring and seventh layer wiring (which cross each other perpendicularly) at a 45° angle with respect to the fifth layer wiring 605. After that, further build up is done by repeating this structure. Specifically, in addition to the standard wiring grids consisting of the aforementioned first layer wiring, second layer wiring and third layer wiring, and the diagonal wiring grids consisting of the fourth layer wiring and fifth layer wiring, a pair of wiring grids consisting of two layers, $(p-1)$ th layer and p th layer, are formed which cross each other perpendicularly and which form a 45° angle with respect to the $(p-2)$ th layer wiring, thus providing a wiring structure with q layers (where $q \geq 5$).

Here, the line pitch [between] the wiring lines of the $(p-1)$ th layer and the p th layer which cross each other perpendicularly is set at $\sqrt{2}$ times the line pitch [between] those of the $(p-2)$ th layer. Furthermore, the wiring line width of the $(p-1)$ th layer wiring and the p th layer wiring is set at $\sqrt{2}$ times the line pitch [sic] of the $(p-2)$ th layer wiring. Moreover, for the first layer wiring, second layer wiring and third layer wiring, it is desirable that the wiring line width, height and line pitch be defined at the minimum specified according to the design rules for wiring design.

[0137] With this modified example, it is possible to increase the degree of integration of circuits and to reduce wiring RC delay.

[0138] Eleventh Working Configuration

The eleventh working configuration is a working configuration in which, in a multi-layer wiring structure using the diagonal wiring grids of the aforementioned working configurations, circuit speed is increased by using the wiring of wiring layers forming diagonal wiring grids for global wiring which is relatively long wiring.

[0139] Figure 20 is a diagram which explains the wiring layout according to the eleventh working configuration. Figure 21 is a diagram which explains the global wiring according to the eleventh working configuration. Furthermore, to facilitate understanding, the following description uses an example in which, as in the tenth working configuration, the X-Y direction wiring grids are formed from the first layer wiring, second layer wiring and third layer wiring, and the diagonal wiring grids are formed from the fourth layer wiring and fifth layer wiring. However, it goes without saying that this can also be applied to the case in which the X-Y direction wiring grids are formed by the first layer wiring and second layer wiring as shown in the first working configuration.

[0140] As shown in Figure 20, in the eleventh working configuration, the upper layer wiring of the fourth layer wiring and the fifth layer wiring, which form the diagonal wiring grids, is used for global wiring. In global wiring, the delay characteristics which are generally required become a critical matter. Because these delay characteristics affect the overall circuit speed of the chip, the wiring RC delay, in particular, becomes an issue. Here, in the aforementioned working configuration, the RC delay of the upper layer wiring becomes half that of the lower layer wiring (i.e., the wiring in the X-Y direction). As a result, by using the wiring of the diagonal wiring grids constituting the upper layer wiring for global wiring, the operating speed of the circuit can be increased. On the other hand, it is desirable to use the lower layer wiring (i.e., the wiring in the X-Y direction) for local wiring.

[0141] Moreover, here "global wiring" refers to the wiring used for such lines as clock net (clock wiring), bus and power supply reinforcing lines for the entire chip. For example, in the case of 0.25 μm design rules, if wiring with wiring length of approximately 2.5 mm or greater is used for global wiring, then the wiring RC delay will become approximately 1.4 nsec. Incidentally, "local wiring" refers to wiring with wiring length shorter than the above.

[0142] Furthermore, the line pitch of the X-Y direction wiring (lower layer wiring) which is used for such local wiring is narrower than the line pitch of the diagonal-direction wiring (upper layer wiring). In that case, it is desirable that cells with strong drive power 610, such as (for example) clock buffers cells, buffer cells for bus use, etc., as shown in Figure 21, be directly connected to global wiring rather than going through the wiring of each layer (601 through 604) each time. For this reason, in the eleventh working configuration, a pattern for the output terminals of cells with strong drive power is a pattern which enables them to be directly connected to the wiring of the diagonal wiring grids of the fourth and higher layers. As shown in Figure 22, the output terminals 704 of these cells with strong drive power are defined by access points where the diagonal wiring grids of the upper layer cross perpendicularly.

[0143] By making the pattern of the output terminals of these cells in a form that enables them to be directly connected to global wiring, the wiring lengths related to these cells are shortened, and wiring design also becomes easier. Furthermore, by connecting directly to the upper layer wiring of the diagonal wiring grids of the fourth and higher layers, it is possible to reduce the number of via holes and to reduce the resistance caused by via holes.

[0144] As described above, according to the eleventh working configuration, wiring of wiring layers constituting diagonal wiring grids is used for global wiring, which is relatively long wiring. As a result, the wiring RC delay, which has a large impact on circuit characteristics, can be reduced, and circuit speed can be improved.

Twelfth Working Configuration

The twelfth working configuration is a working configuration which, in a multi-layer wiring structure using the diagonal wiring grids of the aforementioned working configurations, balances

the RC product as follows: specifically, a clock wiring structure for supplying clock [signals] from a PLL (Phase Locked Loop) circuit is such that the wiring is done from the PLL to the center of the chip using a diagonal wiring grid, and the wiring from this chip center to each flip-flop is defined by a tree structure.

[0145] Figure 23 (a) is a diagram showing the conventional wiring method for clock supply from a PLL. Because a PLL 803 is a sensitive analog cell, due to circuit characteristics, it must be positioned at the edge of the chip. As a result, with the conventional method of using X-Y direction wiring 801, wiring lengths become long. Figure 23 (b) is a diagram showing the wiring method of the twelfth working configuration for clock supply from a PLL. With the twelfth working configuration, clock supply wiring 802 from the PLL 803¹⁴ to the chip center 804 is done using a diagonal wiring grid. As a result, wiring length is shortened, and also the wiring RC delay is reduced. As shown in Figure 24, the wiring from this chip center to the clusters made up by each flip-flop is done via buffer cells. Figure 25 is a diagram showing the clock tree of the twelfth working configuration. From each buffer cell, as shown in Figure 24, a clock wiring path is configured so that the RC product is balanced. Specifically, in order to balance the delay of the X-Y direction and the diagonal direction, the clock wiring path from the chip center is configured hierarchically. This hierarchical clock tree may be formed in the same way as in the aforementioned ninth working configuration as shown in Figure 26. Furthermore, a PLL may be substituted with a DLL.

[0146] Furthermore, in making these clock wiring paths, it is desirable to give priority to use of upper-layer diagonal wiring grids and to set the wiring line width wide. Specifically, if the line pitch of the diagonal wiring grids is $\sqrt{2}$ times that of the lower-layer X-Y wiring grids, it is easier to use wider line widths in the diagonal wiring grids. As a result, it is possible to suppress any increase in the wiring RC delay which accompanies reduced [sic] wiring resistance R.

[0147] As described above, according to the twelfth working configuration, by using a diagonal wiring grid for the clock supply wiring from the PLL to the chip center, the clock wiring paths are configured hierarchically in order to balance the delays of the X-Y direction and diagonal direction in the clock supply wiring running from this chip center to each flip-flop on the chip. As a result, the wiring length for clock supply is shortened, and also the wiring RC delay is reduced.

[0148] Thirteenth Working Configuration

The thirteenth working configuration is a working configuration which, in a multi-layer wiring structure using the diagonal wiring grids of the aforementioned working configurations, uses a diagonal wiring grid to pass wiring lines over an SRAM in cases where an SRAM is positioned in the chip. Moreover, the thirteenth working configuration also applies to the configuration where a DRAM is used instead of an SRAM.

¹⁴ Translator's note: the original erroneously reads "PLL 802."

[0149] Figure 27 is a diagram which describes pass-through wiring lines which run over memories in the thirteenth working configuration. The lower-layer X-Y direction wiring layers 1 and 2 are used, for example, for word lines and bit lines, and they are formed within an SRAM 901. On the other hand, pass-through wiring lines 3 and 4 are wired using the upper-layer diagonal wiring grids. In other words, X-Y direction wiring 1 and 2 within the SRAM 901 and pass-through wiring 3 and 4¹⁵ (using diagonal wiring grids) are not parallel as they are with conventional techniques. For this reason, compared to conventional techniques, coupling noise is reduced.

[0150] As described above, according to the thirteenth working configuration, pass-through wiring lines which run over memories are formed by using the diagonal wiring grids crossing the internal wiring of the memories at an angle of 45° or 135°. As a result, coupling noise between wiring within the memories and pass-through wiring is reduced.

[0151] Moreover, the present invention is not limited to the working configurations described above; within a scope that does not deviate from its essential points, many kinds of variations are possible.

[0152]

[Effect of the Invention] As explained above, according to the present invention, in a semiconductor integrated circuit using a multi-layer wiring configuration in which diagonal-direction wiring grids that cross [each other] perpendicularly are provided in addition to X-Y direction wiring grids that cross [each other] perpendicularly, the following benefits are achieved through use of the diagonal wiring layers: specifically, circuit delay characteristics and noise resistance are improved, wiring design is facilitated, and manufacturing cost is reduced.

[Brief Explanation of the Figures]

[Figure 1] Figure 1 is a layout diagram showing the wiring grid structure of a semiconductor integrated circuit apparatus according to the first working configuration of the present invention.

[Figure 2] Figure 2 is a plan view showing one example of a wiring structure for the case of implementing wiring based on a wiring grid structure such as that shown in Figure 1.

[Figure 3] Figure 3 is a cross-sectional view along line A-A in Figure 2.

[Figure 4] Figure 4 is a diagram which explains the method for inserting repeater cells in a semiconductor integrated circuit apparatus according to the second working configuration of the present invention.

[Figure 5] Figure 5 is a diagram which explains the wiring delay.

¹⁵ Translator's note: the original erroneously reads "pass-through wiring 2 and 3."

[Figure 6] Figure 6 is a layout diagram showing the structure of a semiconductor integrated circuit apparatus according to the third working configuration of the present invention.

[Figure 7] Figure 7 is a partial plan view showing the shapes of via holes in a semiconductor integrated circuit apparatus according to the fourth working configuration of the present invention.

[Figure 8] Figure 8 is a diagram showing cells or mega-cells in a semiconductor integrated circuit apparatus according to the fifth working configuration of the present invention.

[Figure 9] Figure 9 is a diagram showing examples of obstacles to wiring in the fifth working configuration.

[Figure 10] Figure 10 is a diagram which explains the relationship between wiring and obstacle regions in the wiring of the fifth working configuration.

[Figure 11] Figure 11 is a diagram showing the principal elements of the structure of a semiconductor integrated circuit apparatus according to the sixth working configuration of the present invention.

[Figure 12] Figure 12 is a diagram showing the principal elements of the structure of a semiconductor integrated circuit apparatus according to the seventh working configuration of the present invention.

[Figure 13] Figure 13 is a diagram showing the method of cell layout in a semiconductor integrated circuit apparatus according to the eighth working configuration of the present invention.

[Figure 14] Figure 14 is a diagram which explains the basic structure of clock trees in a semiconductor integrated circuit according to the ninth working configuration of the present invention.

[Figure 15] Figure 15 is a diagram which explains a modified example of the clock tree structure according to the ninth working configuration.

[Figure 16] Figure 16 is a diagram which explains the principal elements of the structure of a tree in the case of providing a "round about" path.

[Figure 17] Figure 17 is a diagram showing a specific wiring method for the case where the diagonal wiring grids are created by automatic wiring.

[Figure 18] Figure 18 is a layout diagram showing the wiring grid structure of a semiconductor integrated circuit apparatus according to the tenth working configuration of the present invention.

[Figure 19] Figure 19 is a cross-sectional diagram of the wiring grid structure of Figure 18 as viewed from the direction of the X axis.

[Figure 20] Figure 20 is a diagram which explains a wiring grid structure composed of global wiring and local wiring in a semiconductor integrated circuit according to the eleventh working configuration of the present invention.

[Figure 21] Figure 21 is a diagram which explains the direct connection from a cell with strong drive power to wiring of a diagonal wiring grid in the eleventh working configuration.

[Figure 22] Figure 22 is a diagram which explains the defined location for output terminals of cells with strong drive power.

[Figure 23] Figure 23 is a diagram which explains [a] a conventional wiring structure of clock supply wiring from a PLL to each flip-flop, and [b] the wiring structure of clock supply wiring from a PLL to each flip-flop according to the twelfth working configuration of the present invention.

[Figure 24] Figure 24 is a diagram which explains the wiring structure of clock supply wiring from a PLL to each flip-flop according to the twelfth working configuration.

[Figure 25] Figure 25 is a diagram which explains the clock tree structure of the twelfth working configuration.

[Figure 26] Figure 26 is a diagram which explains the clock tree structure of the twelfth working configuration.

[Figure 27] Figure 27 is a layout diagram showing the wiring grid structure of a semiconductor integrated circuit according to the thirteenth working configuration of the present invention.

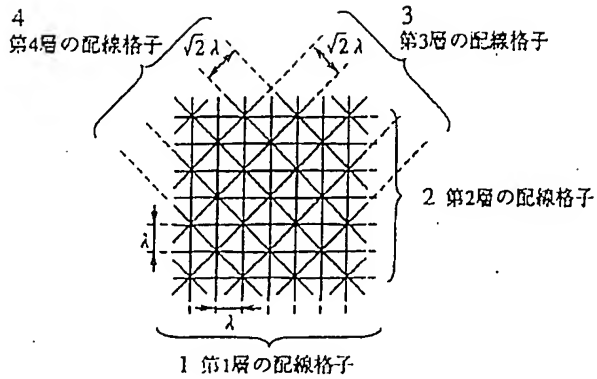
[Figure 28] Figure 28 is a layout diagram showing the wiring grid structure of a conventional integrated circuit apparatus using diagonal-direction wiring.

[Figure 29] Figure 29 is a diagram which explains the problem of shifting of grid points with conventional techniques.

[Explanation of Symbols]

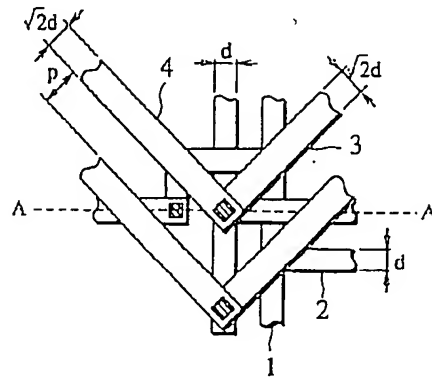
- 1, 601 first layer wiring
- 2, 602 second layer wiring
- 3, 603 third layer wiring
- 4, 604 fourth layer wiring
- 10 semiconductor substrate
- 11 interlayer insulation film
- 12, 13, 14 via holes

20 repeater cells
21, 22, 101, 201 cells
80 cell row
85 wiring channel
102 effective region
103 transistor region
191 wiring for supplying power
250, 260 cut lines
605 fifth layer wiring
610 cells with strong drive power
801, 802 clock wiring
803 PLL
804 chip center
805 buffer cell
806 flip-flop
807 cluster
901 SRAM

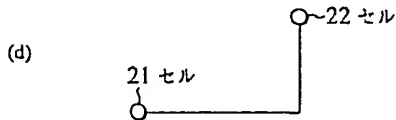
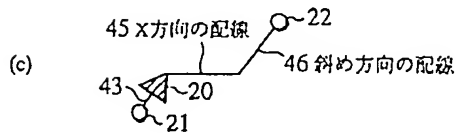
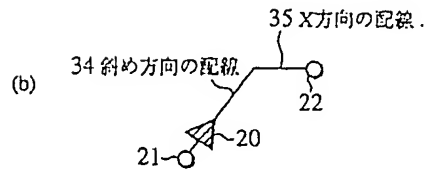
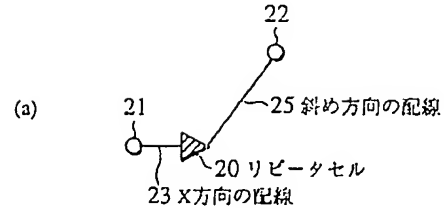


[Figure 1]

- 1: first layer wiring grid
- 2: second layer wiring grid
- 3: third layer wiring grid
- 4: fourth layer wiring grid

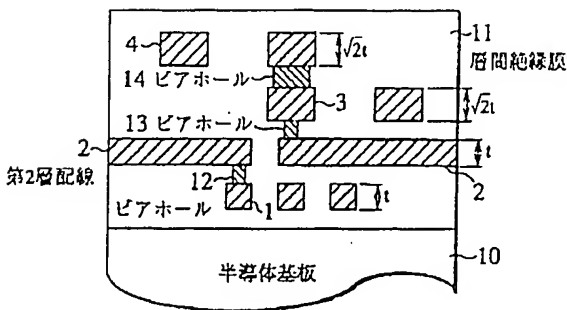


[Figure 2]



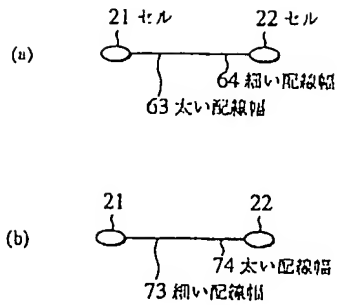
[Figure 4]

- 20: repeater cell
- 21, 22: cells
- 23, 35, 45: X-direction wiring
- 25, 34, 46: diagonal-direction wiring



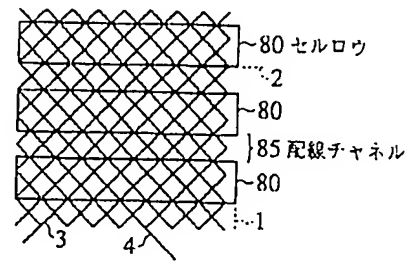
[Figure 3]

- 2: second layer wiring
- 10: semiconductor substrate
- 11: interlayer insulating film
- 12, 13, 14: via holes



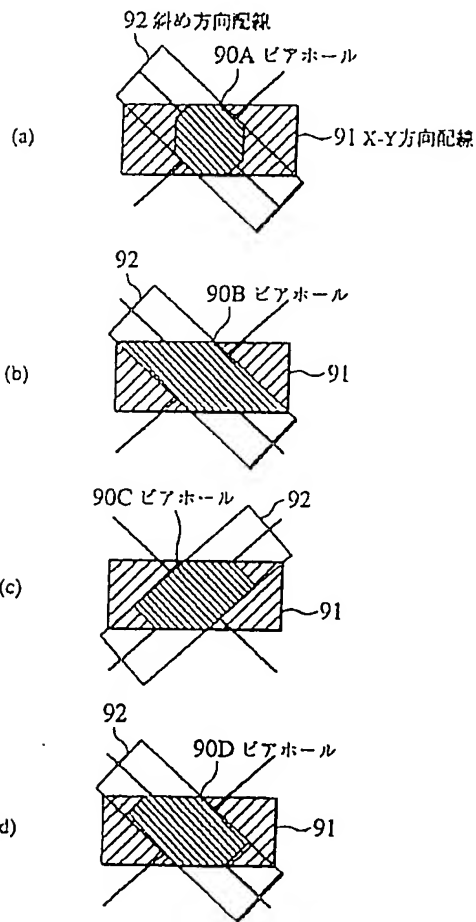
[Figure 5]

21, 22: cells
64, 73: narrower wiring line width
63, 74: broader wiring line width



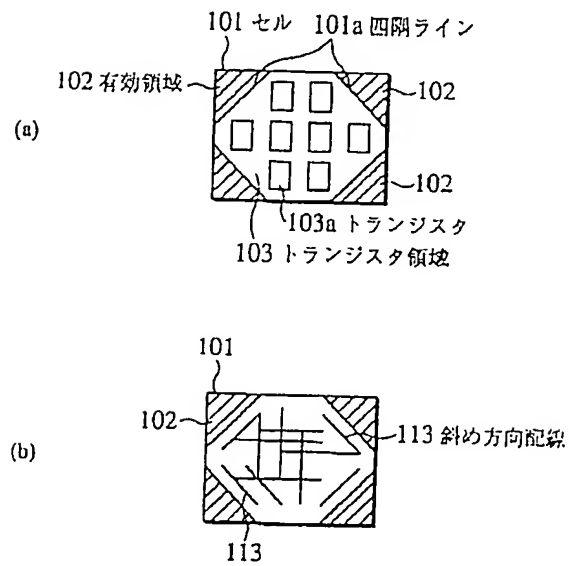
[Figure 6]

80: cell rows
85: wiring channel



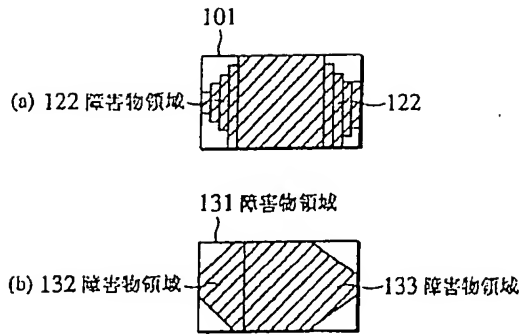
[Figure 7]

90A, 90B, 90C, 90D: via holes
91: X-Y direction wiring
92: diagonal-direction wiring



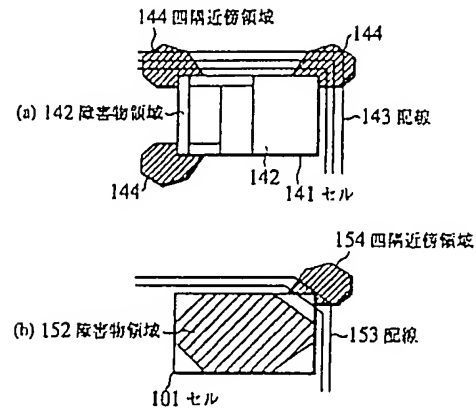
[Figure 8]

101: cell
101a: four corner lines
102: effective regions
103: transistor region
103a: transistors
113: diagonal-direction wiring



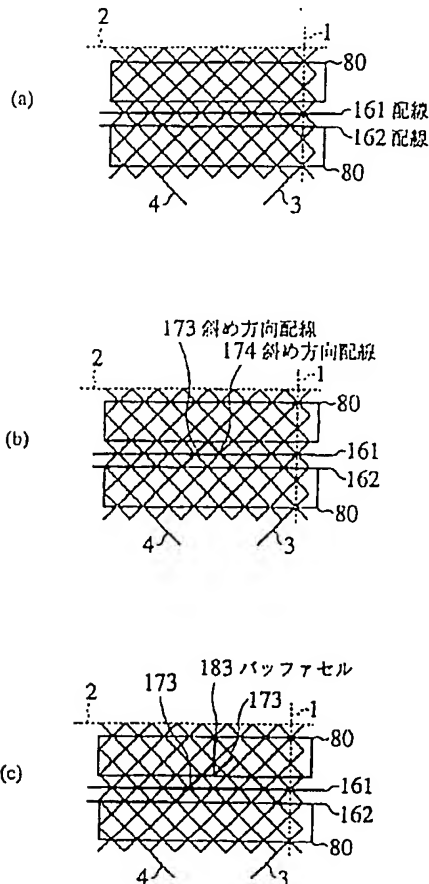
[Figure 9]

122, 131, 132, 133: obstacle regions



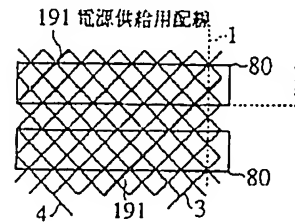
[Figure 10]

101, 141: cells
142, 152: obstacle regions
143, 153: wiring
144, 154: areas near four corners



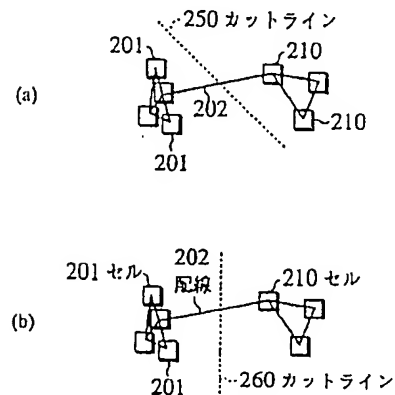
[Figure 11]

161, 162: wiring
173, 174: diagonal-direction wiring
183: buffer cell(s)



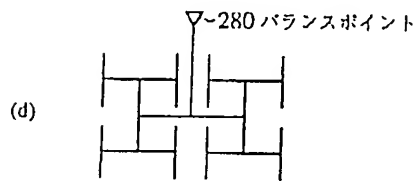
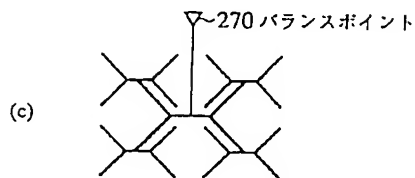
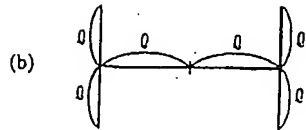
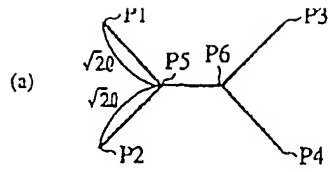
[Figure 12]

191: power-supply wiring



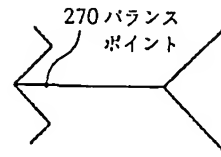
[Figure 13]

201, 210: cells
202: wiring
250, 260: cut lines



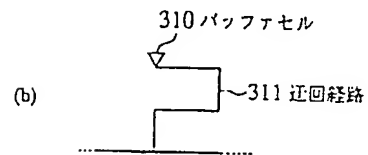
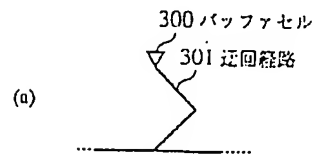
[Figure 14]

270, 280: balance points



[Figure 15]

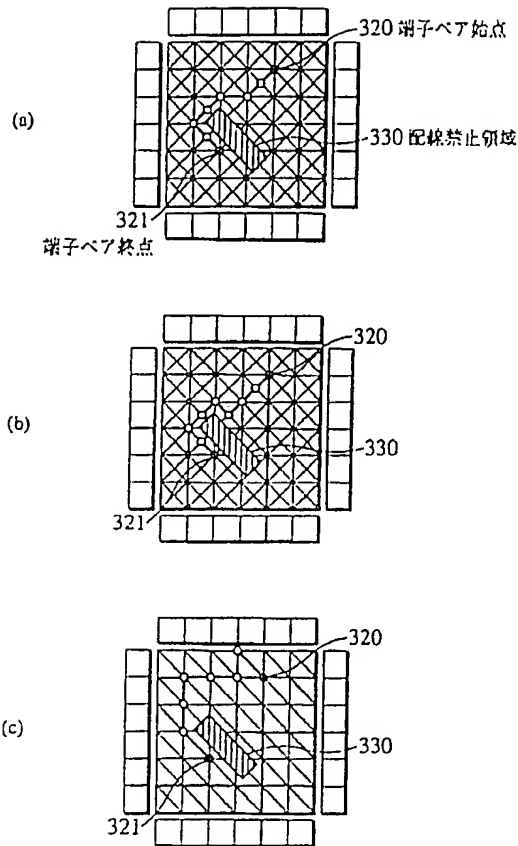
270: balance point



[Figure 16]

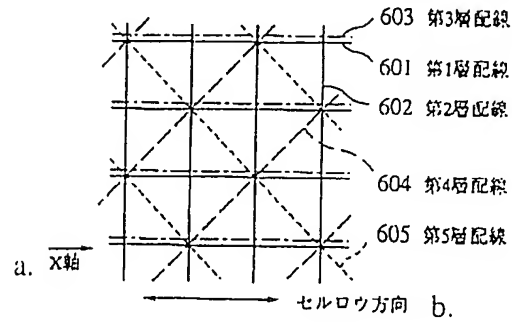
300, 310: buffer cells

301, 311: "round about" paths



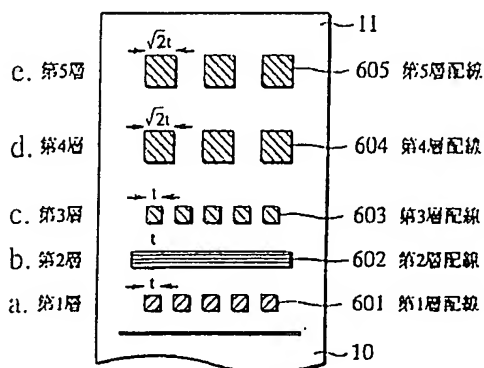
[Figure 17]

320: terminal-pair starting point
321: terminal-pair ending point
330: "no-wiring" region



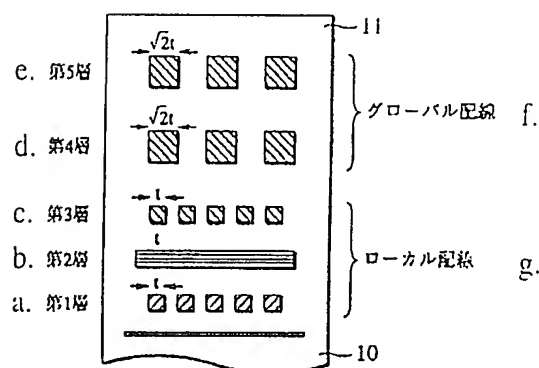
[Figure 18]

601: first layer wiring
602: second layer wiring
603: third layer wiring
604: fourth layer wiring
605: fifth layer wiring
a: X axis
b: cell row direction



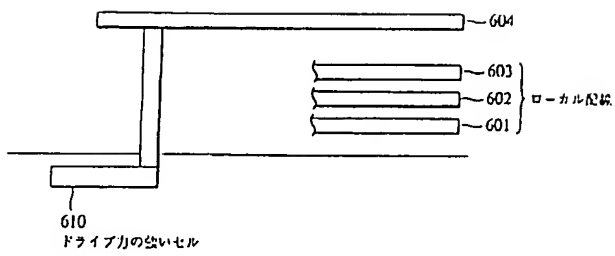
[Figure 19]

601: first layer wiring
602: second layer wiring
603: third layer wiring
604: fourth layer wiring
605: fifth layer wiring
a: first layer
b: second layer
c: third layer
d: fourth layer
e: fifth layer



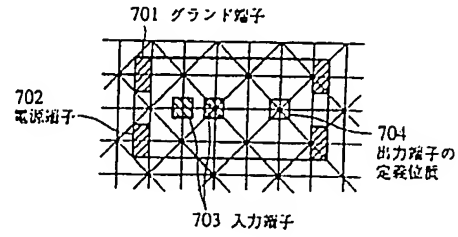
[Figure 20]

a: first layer
b: second layer
c: third layer
d: fourth layer
e: fifth layer
f: global wiring
g: local wiring



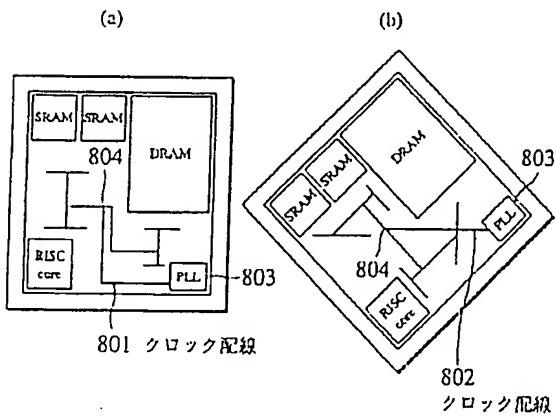
[Figure 21]

601, 602, 603: local wiring
610: cells with strong drive power



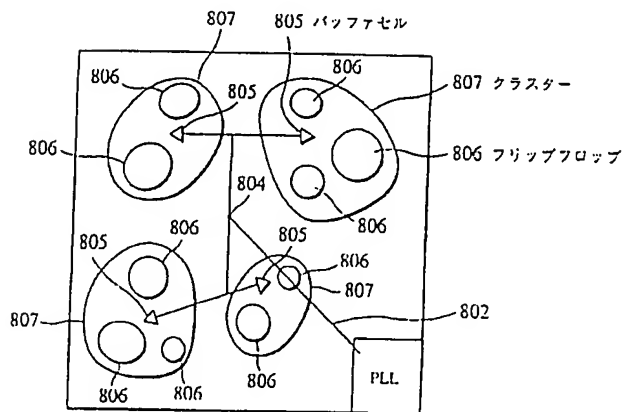
[Figure 22]

701: ground terminal
702: power source terminal
703: input terminals
704: defined location for output terminals



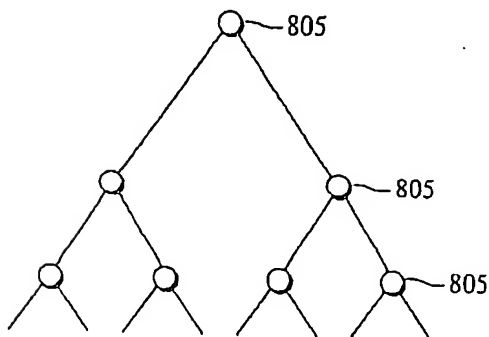
[Figure 23]

801, 802: clock wiring

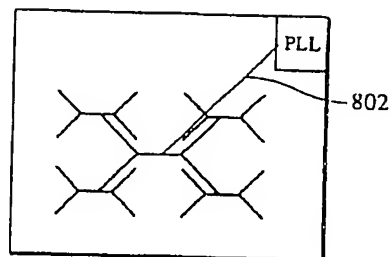


[Figure 24]

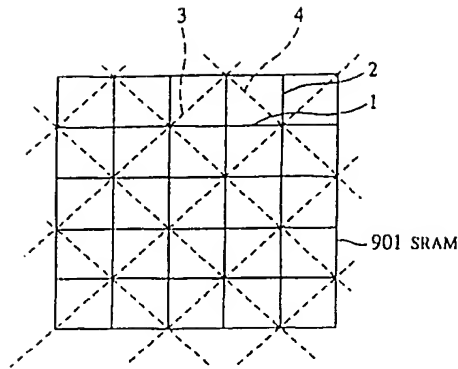
805: buffer cells
806: flip-flops
807: clusters



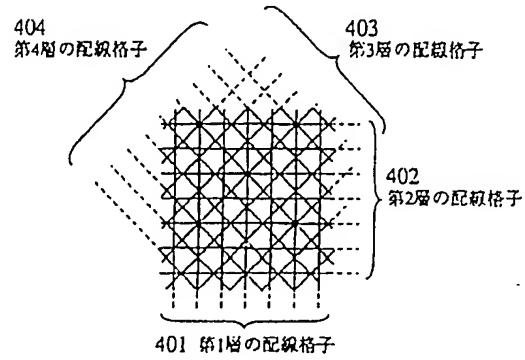
[Figure 25]



[Figure 26]

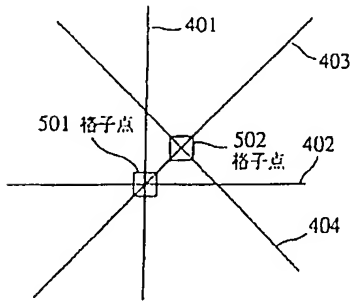


[Figure 27]



[Figure 28]

- 401: first layer wiring grid
- 402: second layer wiring grid
- 403: third layer wiring grid
- 404: fourth layer wiring grid



[Figure 29]

501, 502: grid points

Continued from the front page

(72) Inventor: Masami Murakata
c/o TOSHIBA CORPORATION
Microelectronics Center
1 Toshiba-cho, Komukai, Saiwai-ku
Kawasaki-shi, Kanagawa

(72) Inventor: Masaaki Yamada
c/o TOSHIBA CORPORATION
Microelectronics Center
1 Toshiba-cho, Komukai, Saiwai-ku
Kawasaki-shi, Kanagawa

(72) Inventor: Fumihiko Minami
c/o TOSHIBA CORPORATION
Microelectronics Center
1 Toshiba-cho, Komukai, Saiwai-ku
Kawasaki-shi, Kanagawa

(72) Inventor: Hisahiro Akiyama
c/o TOSHIBA CORPORATION
Microelectronics Center
1 Toshiba-cho, Komukai, Saiwai-ku
Kawasaki-shi, Kanagawa

(72) Inventor: Takaaki [?] Aoki
c/o TOSHIBA CORPORATION
Microelectronics Center
1 Toshiba-cho, Komukai, Saiwai-ku
Kawasaki-shi, Kanagawa